

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Hiroshi KUDO et al.**

Serial Number: **Not Yet Assigned**

Filed: January 12, 2004

Customer No.: **38834**

For: **SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE
SAME**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

January 12, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

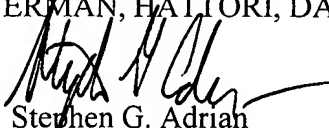
Japanese Appln. No. 2003-005395, filed on January 14, 2003.

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP


Stephen G. Adrian
Reg. No. 32,878

Atty. Docket No.: 042012
Suite 700
1250 Connecticut Avenue, N.W.
Washington, D.C. 20036
Tel: (202) 822-1100
Fax: (202) 822-1111
SGA/yap

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 1 4 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 0 5 3 9 5
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 0 5 3 9 5]

出 願 人 富 士 通 株 式 会 社
Applicant(s):



2 0 0 3 年 1 0 月 3 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 0241258

【提出日】 平成15年 1月14日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明の名称】 半導体装置の製造方法

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 工藤 寛

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 長沼 順子

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 岸井 貞浩

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100087479

 【弁理士】

 【氏名又は名称】 北野 好人

【選任した代理人】

【識別番号】 100114915

【弁理士】

【氏名又は名称】 三村 治彦

【手数料の表示】

【予納台帳番号】 003300

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0012600

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に、金属を含む材料による置換が可能な被置換材料よりなる第 1 のダミー電極及び第 2 のダミー電極を形成する工程と、

前記第 1 のダミー電極上に、第 1 の金属材料よりなる第 1 の金属膜を選択的に形成する工程と、

第 1 の温度において熱処理を行うことにより、前記第 1 のダミー電極を構成する前記被置換材料が前記第 1 の金属材料又は前記第 1 の金属材料の化合物に置換してなる第 1 の電極を形成する工程と、

前記第 2 のダミー電極上に、第 2 の金属材料よりなる第 2 の金属膜を形成する工程と、

前記第 1 の温度よりも低く前記第 1 の電極と前記第 2 の金属膜との間で構成材料の相互拡散が生じない第 2 の温度において熱処理を行うことにより、前記第 2 のダミー電極を構成する前記被置換材料が前記第 2 の金属材料又は前記第 2 の金属材料の化合物に置換してなる第 2 の電極を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 2】 半導体基板上に、金属を含む材料による置換が可能な被置換材料よりなる第 1 のダミー電極及び第 2 のダミー電極を形成する工程と、

前記第 2 のダミー電極上に、保護膜を選択的に形成する工程と、

前記第 1 のダミー電極上及び前記保護膜上に、第 1 の金属材料よりなる第 1 の金属膜を形成する工程と、

第 1 の温度において熱処理を行うことにより、前記第 1 のダミー電極を構成する前記被置換材料が前記第 1 の金属材料又は前記第 1 の金属材料の化合物に置換してなる第 1 の電極を形成する工程と、

前記保護膜を除去する工程と、

前記第 2 のダミー電極上に、第 2 の金属材料よりなる第 2 の金属膜を形成する工程と、

前記第 1 の温度よりも低く前記第 1 の電極と前記第 2 の金属膜との間で構成材

料の相互拡散が生じない第2の温度において熱処理を行うことにより、前記第2のダミー電極を構成する前記被置換材料が前記第2の金属材料又は前記第2の金属材料の化合物に置換してなる第2の電極を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項3】 半導体基板上に、金属を含む材料による置換が可能な被置換材料よりなる第1のダミー電極及び第2のダミー電極を形成する工程と、

前記第1のダミー電極を選択的に除去する工程と、

前記第1のダミー電極が形成された領域に、第1の金属材料又は前記第1の金属材料の化合物よりなる導電膜を選択的に形成し、前記導電膜よりなる第1の電極を形成する工程と、

前記第2のダミー電極上に、前記第1の電極との間で構成材料の相互拡散が生じない第2の金属材料よりなる第2の金属膜を形成する工程と、

熱処理を行うことにより、前記第2のダミー電極を構成する前記被置換材料が前記第2の金属材料又は前記第2の金属材料の化合物に置換してなる第2の電極を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項4】 請求項1乃至3のいずれか1項に記載の半導体装置の製造方法において、

前記第2の金属膜を形成する工程では、前記第2の電極上に選択的に前記第2の金属膜を形成する

ことを特徴とする半導体装置の製造方法。

【請求項5】 請求項1乃至3のいずれか1項に記載の半導体装置の製造方法において、

前記第2の金属膜を形成する工程では、前記第1の電極上に延在して前記第2の金属膜を形成する

ことを特徴とする半導体装置の製造方法。

【請求項6】 半導体基板上に、金属を含む材料による置換が可能な被置換材料よりなる第1のダミー電極及び第2のダミー電極を形成する工程と、

前記第1のダミー電極及び前記第2のダミー電極が形成された領域に、第1の

金属材料よりなる第 1 の金属膜を形成する工程と、

前記第 1 のダミー電極が形成された領域に、第 2 の金属材料よりなる第 2 の金属膜を選択的に形成する工程と、

熱処理を行うことにより、前記第 1 のダミー電極を構成する前記被置換材料が前記第 1 の金属材料又は前記第 1 の金属材料の化合物に置換してなる第 1 の電極と、前記第 2 のダミー電極を構成する前記被置換材料が前記第 1 の金属材料と前記第 2 の金属材料との合金又は前記合金と前記被置換材料との化合物に置換してなる第 2 の電極とを同時に形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 1 乃至 6 のいずれか 1 項に記載の半導体装置の製造方法において、

前記第 2 の電極を形成する工程の後に、前記第 2 の金属膜をパターンニングして配線層を形成する工程を更に有する

ことを特徴とする半導体装置の製造方法。

【請求項 8】 半導体基板上に、第 1 の不純物を含むシリコンよりなる第 1 のダミー電極と、前記第 1 の不純物とは異なる第 2 の不純物を含むシリコンよりなる第 2 のダミー電極とを形成する工程と、

前記第 1 のダミー電極上及び前記第 2 のダミー電極上に、金属膜を形成する工程と、

前記第 1 のダミー電極及び前記第 2 のダミー電極を前記金属膜と反応させることにより、前記第 1 のダミー電極が金属シリサイドに置換してなり、前記第 1 の不純物が添加された第 1 のゲート電極と、前記第 2 のダミー電極が金属シリサイドに置換してなり、前記第 2 の不純物が添加された第 2 のゲート電極とを形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 1 乃至 8 のいずれか 1 項に記載の半導体装置の製造方法において、

前記第 1 のダミー電極及び前記第 2 のダミー電極を形成する工程では、前記第 1 のダミー電極及び前記第 2 のダミー電極を連続する 1 つのパターンにより形成

する

ことを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 1 乃至 9 のいずれか 1 項に記載の半導体装置の製造方法において、

前記第 1 のダミー電極及び前記第 2 のダミー電極を形成する工程の後に、絶縁膜を形成する工程と、前記第 1 のダミー電極及び前記第 2 のダミー電極の上面が露出するまで前記絶縁膜を平坦に除去する工程とを更に有する

ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に係り、特に、金属や金属シリサイドに置換した配線層を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】

従来より、MOSFETのゲート電極材料には、多結晶シリコンとタンゲステン(W)やコバルト(Co)のシリコン化合物(金属シリサイド)との積層構造(ポリサイド構造)が広く用いられてきた。ポリサイド構造は、下層の多結晶シリコンにより良好なMOS特性を得ることができるとともに、上層の金属シリサイドによりゲート抵抗を低抵抗化することができるというメリットを有する。また、ソース/ドレイン拡散層を形成するための活性化熱処理に耐えうる高融点材料でもあるため、ソース/ドレイン拡散層をゲート電極に自己整合的に形成することもできる。

【0003】

しかしながら、近年の集積回路の高集積化は著しく、これに伴ってゲート電極の寸法も縮小化されている。このため、ポリサイド構造のゲート電極ではこれ以上の高速化の要求に応えることは困難となっており、より低抵抗の材料によりゲート電極を形成することが望まれている。

【0004】

このような背景において、ソース／ドレイン拡散層を自己整合的に形成しうるとともにゲート電極を金属材料により形成する技術が、例えば特許文献1乃至4に記載されている。特許文献1乃至4には、多結晶シリコンからなるダミーゲート電極に自己整合でソース／ドレイン拡散層を形成した後、ダミーゲート電極を構成する多結晶シリコンを熱処理によってアルミに置換することにより、アルミよりなるゲート電極を形成する技術、並びに、ダミーゲート電極に自己整合でソース／ドレイン拡散層を形成した後、ダミーゲート電極を除去し、ダミーゲート電極が形成されていた領域に金属材料を埋め込むことにより、金属よりなるゲート電極を形成する技術が開示されている。

【0005】

アルミ、タングステン、モリブデン、チタン、タンタル等の各種金属材料は、金属シリサイドと比較してその比抵抗が $1/10 \sim 1/100$ 程度であり、 $0.1 \mu\text{m}$ 以降の微細なMOSFETのゲート電極材料として有用である。ポリサイド構造ではなく単層の金属シリサイドを用いることによっても、ゲート電極の抵抗値の低減に対しては効果的である。また、金属や金属シリサイドによりゲート電極を形成する場合、多結晶シリコンによりゲート電極を形成した場合に見られるようなゲート電極の空乏化は生じないため、ゲート容量の低減、すなわち信号遅延時間の短縮を図ることができるというメリットもある。

【0006】

上記特許文献1では、N型MOSFET及びP型MOSFETに対し、各々の動作特性（仕事関数）に合致した金属をゲート電極に適用する方法が提案されている。

【0007】

【特許文献1】

特開平11-251595号公報

【特許文献2】

特開平11-261063号公報

【特許文献3】

特開2001-024187号公報

【特許文献 4】

特開 2001-274379 号公報

【特許文献 5】

特開平 10-125677 号公報

【非特許文献 1】

S.P.Murarka, Silicides for VLSI Applications, Academic Press, INC., pp. 88-95

【非特許文献 2】

Ming Quin et al., Journal of The Electrochemical Society, 148 (5), pp. G271-G274 (2001)

【0008】

【発明が解決しようとする課題】

消費電力及び高速理論回路に用いられる代表的なトランジスタに、N型MOSFETとP型MOSFETとを結合させた相補型金属酸化物半導体(CMOS)トランジスタがある。CMOSTランジスタでは、高集積化の効率を図るため、1本のゲート電極を両MOSFETのゲート電極で共用している。SRAMに代表されるような高集積を必要とする論理回路では、N型MOSFETとP型MOSFETとが極めて近い距離に隣接する。例えば、 $0.1\mu\text{m}$ のデザインルールで作成されるCMOSTランジスタでは、 $0.2\mu\text{m}$ 以下の距離で近接するN型MOSFETとP型MOSFETとを異種金属からなる1本のゲート電極で結線することになる。

【0009】

しかしながら、ゲート電極形成後の多層配線工程では 400°C を越える熱処理が幾度も加わるため、異種金属を結合してなる1本のゲート電極を形成した場合、ゲート電極形成後の熱処理によってN型MOSFETのゲート電極を構成する金属材料とP型MOSFETのゲート電極を構成する金属材料とが相互拡散する虞がある。このような相互拡散が生じると、ゲート電極を構成する金属材料の組成が変化して所望の仕事関数からずれてしまい、動作特性の制御が困難であった。

。

【0010】

本発明の目的は、ゲート電極形成過程及びその後の熱処理工程において、N型トランジスタのゲート電極とP型トランジスタのゲート電極との間における構成材料の相互拡散を効果的に防止しうる半導体装置の製造方法を提供することにある。

【0011】

【課題を解決するための手段】

上記目的は、半導体基板上に、金属を含む材料による置換が可能な被置換材料よりなる第1のダミー電極及び第2のダミー電極を形成する工程と、前記第1のダミー電極上に、第1の金属材料よりなる第1の金属膜を選択的に形成する工程と、第1の温度において熱処理を行うことにより、前記第1のダミー電極を構成する前記被置換材料が前記第1の金属材料又は前記第1の金属材料の化合物に置換してなる第1の電極を形成する工程と、前記第2のダミー電極上に、第2の金属材料よりなる第2の金属膜を形成する工程と、前記第1の温度よりも低く前記第1の電極と前記第2の金属膜との間で構成材料の相互拡散が生じない第2の温度において熱処理を行うことにより、前記第2のダミー電極を構成する前記被置換材料が前記第2の金属材料又は前記第2の金属材料の化合物に置換してなる第2の電極を形成する工程とを有することを特徴とする半導体装置の製造方法によって達成される。

【0012】

また、上記目的は、半導体基板上に、金属を含む材料による置換が可能な被置換材料よりなる第1のダミー電極及び第2のダミー電極を形成する工程と、前記第2のダミー電極上に、保護膜を選択的に形成する工程と、前記第1のダミー電極上及び前記保護膜上に、第1の金属材料よりなる第1の金属膜を形成する工程と、第1の温度において熱処理を行うことにより、前記第1のダミー電極を構成する前記被置換材料が前記第1の金属材料又は前記第1の金属材料の化合物に置換してなる第1の電極を形成する工程と、前記保護膜を除去する工程と、前記第2のダミー電極上に、第2の金属材料よりなる第2の金属膜を形成する工程と、前記第1の温度よりも低く前記第1の電極と前記第2の金属膜との間で構成材料

の相互拡散が生じない第2の温度において熱処理を行うことにより、前記第2のダミー電極を構成する前記被置換材料が前記第2の金属材料又は前記第2の金属材料の化合物に置換してなる第2の電極を形成する工程とを有することを特徴とする半導体装置の製造方法によっても達成される。

【0013】

また、上記目的は、半導体基板上に、金属を含む材料による置換が可能な被置換材料よりなる第1のダミー電極及び第2のダミー電極を形成する工程と、前記第1のダミー電極を選択的に除去する工程と、前記第1のダミー電極が形成された領域に、第1の金属材料又は前記第1の金属材料の化合物よりなる導電膜を選択的に形成し、前記導電膜よりなる第1の電極を形成する工程と、前記第2のダミー電極上に、前記第1の電極との間で構成材料の相互拡散が生じない第2の金属材料よりなる第2の金属膜を形成する工程と、熱処理を行うことにより、前記第2のダミー電極を構成する前記被置換材料が前記第2の金属材料又は前記第2の金属材料の化合物に置換してなる第2の電極を形成する工程とを有することを特徴とする半導体装置の製造方法によっても達成される。

【0014】

また、上記目的は、半導体基板上に、金属を含む材料による置換が可能な被置換材料よりなる第1のダミー電極及び第2のダミー電極を形成する工程と、前記第1のダミー電極及び前記第2のダミー電極が形成された領域に、第1の金属材料よりなる第1の金属膜を形成する工程と、前記第1のダミー電極が形成された領域に、第2の金属材料よりなる第2の金属膜を選択的に形成する工程と、熱処理を行うことにより、前記第1のダミー電極を構成する前記被置換材料が前記第1の金属材料又は前記第1の金属材料の化合物に置換してなる第1の電極と、前記第2のダミー電極を構成する前記被置換材料が前記第1の金属材料と前記第2の金属材料との合金又は前記合金と前記被置換材料との化合物に置換してなる第2の電極とを同時に形成する工程とを有することを特徴とする半導体装置の製造方法によっても達成される。

【0015】

また、上記目的は、半導体基板上に、シリコンよりなり第1の不純物を含む第

1 のダミー電極と、シリコンよりなり前記第 1 の不純物とは異なる第 2 の不純物を含む第 2 のダミー電極とを形成する工程と、前記第 1 のダミー電極上及び前記第 2 のダミー電極上に、金属膜を形成する工程と、前記第 1 のダミー電極及び前記第 2 のダミー電極を前記金属膜と反応させることにより、前記第 1 のダミー電極が金属シリサイドに置換してなり、前記第 1 の不純物が添加された第 1 のゲート電極と、前記第 2 のダミー電極が金属シリサイドに置換してなり、前記第 2 の不純物が添加された第 2 のゲート電極とを形成する工程とを有することを特徴とする半導体装置の製造方法によっても達成される。

【0016】

【発明の実施の形態】

[第 1 実施形態]

本発明の第 1 実施形態による半導体装置及びその製造方法について図 1 乃至図 6 を用いて説明する。

【0017】

図 1 は本実施形態による半導体装置の構造を示す平面図、図 2 は本実施形態による半導体装置の構造を示す概略断面図、図 3 乃至図 6 は本実施形態による半導体装置の製造方法を示す工程断面図である。

【0018】

はじめに、本実施形態による半導体装置の構造について図 1 及び図 2 を用いて説明する。なお、図 2 は、図 1 の A-A' 線及び B-B' 線に沿った断面図である。図 2 では、便宜上、中央の素子分離膜 12 により画定された図面左側の素子領域に N 型トランジスタ形成領域 (A-A' 線断面図) を表し、図面右側の素子領域に P 型トランジスタ形成領域 (B-B' 線断面) を表すものとする。

【0019】

シリコン基板 10 上には、素子領域を画定する素子分離膜 12 が形成されている。N 型トランジスタ形成領域のシリコン基板 10 内には、P ウェル 14 が形成されている。N 型トランジスタ形成領域のシリコン基板 10 上には、ゲート絶縁膜 18 を介して、アルミよりなるゲート電極 34a が形成されている。ゲート電極 34a の両側のシリコン基板 10 内には、ソース／ドレイン拡散層 28n が形

成されている。こうして、N型トランジスタ形成領域には、ゲート電極 34 a 及びソース／ドレイン拡散層 28 n を有する N 型トランジスタが形成されている。

【0020】

P 型トランジスタ形成領域のシリコン基板 10 上には、N ウェル 16 が形成されている。P 型トランジスタ形成領域のシリコン基板 10 上には、ゲート絶縁膜 18 を介して、モリブデンシリサイドよりなるゲート電極 34 b が形成されている。ゲート電極 34 b の両側のシリコン基板 10 内には、ソース／ドレイン拡散層 28 p が形成されている。こうして、P 型トランジスタ形成領域には、ゲート電極 34 b 及びソース／ドレイン拡散層 28 p を有する P 型トランジスタが形成されている。

【0021】

なお、N 型トランジスタのゲート電極 34 a と、P 型トランジスタのゲート電極 34 b とは、図 1 に示すように、1 つのパターンにより形成されている。

【0022】

このように、本実施形態による半導体装置は、N 型トランジスタのゲート電極 34 a がアルミにより構成され、P 型トランジスタのゲート電極 34 b がモリブデンシリサイドにより構成され、ゲート電極 34 a とゲート電極 34 b とが 1 つのパターンにより形成されていることに主たる特徴がある。

【0023】

N 型トランジスタのゲート電極 34 a をアルミにより構成することにより、ゲート配線を低抵抗化することができ、N 型トランジスタの高速化を図ることができる。アルミの仕事関数は、N 型トランジスタのゲート電極として好適でもある。また、P 型トランジスタのゲート電極 34 b をモリブデンシリサイドにより構成することにより、ゲート配線を低抵抗化することができ、P 型トランジスタの高速化を図ることができる。モリブデンシリサイドの仕事関数は、P 型トランジスタのゲート電極として好適でもある。

【0024】

モリブデンシリサイド中におけるアルミ原子の拡散速度は極めて遅い。また、モリブデンシリサイドは熱的に安定な化合物であるため、モリブデンシリサイド

中のシリコン原子やモリブデン原子がアルミ中に拡散することもない。したがって、ゲート電極 34 a, 34 b 間における構成材料の相互拡散は極めて小さく、CMOS トランジスタの形成のためにゲート電極 34 a, 34 b を 1 つのパターンにより形成した場合であっても、多層配線形成工程等における熱処理によりゲート電極 34 a, 34 b の仕事関数が増加することを防止することができる。

【0025】

次に、本実施形態による半導体装置の製造方法について図 3 乃至図 6 を用いて説明する。

【0026】

まず、p 型シリコン基板 10 に、例えば STI 法により、素子領域を画定する素子分離膜 12 を形成する。なお、図 3 乃至図 6 は、図 2 の断面に相当する工程断面図であり、中央の素子分離膜 12 により画定された図面右側の素子領域に N 型トランジスタ形成領域を、図面左側の素子領域に P 型トランジスタ形成領域を記載している。

【0027】

次いで、イオン注入により、N 型トランジスタ形成領域に P ウェル 14 を形成し、P 型トランジスタ形成領域に N ウェル 16 を形成する（図 3 (a)）。なお、ウェルの形成とともに、閾値制御のためのイオン注入やパンチスルー防止のための不純物領域を形成するためのイオン注入を行ってもよい。

【0028】

次いで、熱酸化法によりシリコン基板 10 の表面を熱酸化し、素子領域上に例えばシリコン酸化膜よりなるゲート絶縁膜 18 を形成する（図 3 (b)）。なお、ゲート絶縁膜 18 は、シリコン窒化酸化膜、シリコン窒化膜、アルミナ膜、 Ta_2O_5 , La_2O_3 , HfO_2 , ZrO_2 , シリケート $ZrAl_xO_y$, アルミネート $HfAl_xO_y$ 等の高誘電率膜、その他の絶縁膜により形成してもよい。

【0029】

次いで、全面に、例えば CVD 法により、例えば膜厚 50 nm の多結晶シリコン膜 20 を堆積する（図 3 (c)）。シリコンは、アルミ等の金属材料による置

換が可能な被置換材料である。なお、多結晶シリコン膜の代わりに、アルミ置換が可能な他の材料、例えばゲルマニウム (Ge) 膜、SiGe 膜等を形成してもよい。

【0030】

次いで、フォトリソグラフィー及びドライエッチングにより、多結晶シリコン膜 20 をパターンニングし、N型トランジスタ形成領域に多結晶シリコン膜 20 よりなるダミーゲート電極 22n を形成し、P型トランジスタ形成領域に多結晶シリコン膜 20 よりなるダミーゲート電極 22p を形成する。なお、ダミーゲート電極 22n, 22p は、例えば高さを 50 nm、幅 (ゲート長) を 40 nm とする。

【0031】

次いで、ダミーゲート電極 22n をマスクとして、N型トランジスタ形成領域に例えば砒素 (As) イオンをイオン注入し、ダミーゲート電極 22n の両側のシリコン基板 10 内に、LDD 構造の低濃度不純物領域或いはエクステンションソース/ドレイン構造のエクステンション領域となる不純物拡散領域 24n を形成する。

【0032】

同様にして、ダミーゲート電極 22p をマスクとして、P型トランジスタ形成領域に例えばボロンイオンをイオン注入し、ダミーゲート電極 22p の両側のシリコン基板 10 内に、LDD 構造の低濃度不純物領域或いはエクステンションソース/ドレイン構造のエクステンション領域となる不純物拡散領域 24p を形成する (図 4 (a))。

【0033】

次いで、例えば CVD 法により例えば膜厚 100 nm のシリコン窒化膜を堆積した後、このシリコン酸化膜をエッチバックし、ダミーゲート電極 22n, 22p の側壁部分に、シリコン窒化膜よりなる側壁絶縁膜 26 を形成する。

【0034】

次いで、ダミーゲート電極 22n 及び側壁絶縁膜 26 をマスクとして、N型トランジスタ形成領域に例えば砒素 (As) イオンをイオン注入し、ダミーゲート

電極 20 n 及び側壁絶縁膜 26 の両側のシリコン基板 10 内に、高濃度のソース／ドレイン不純物領域を形成する。

【0035】

同様にして、ダミーゲート電極 22 p 及び側壁絶縁膜 26 をマスクとして、P 型トランジスタ形成領域に例えば弗化ボロン (BF_2) イオンをイオン注入し、ダミーゲート電極 22 p 及び側壁絶縁膜 26 の両側のシリコン基板 10 内に、高濃度のソース／ドレイン不純物領域を形成する。

【0036】

次いで、所定の熱処理を行い注入した不純物を活性化し、ダミーゲート電極 22 n の両側のシリコン基板 10 内に LDD 構造或いはエクステンション S/D 構造を有する N 型のソース／ドレイン拡散層 28 n を形成し、ダミーゲート電極 22 p の両側のシリコン基板 10 内に LDD 構造或いはエクステンション S/D 構造を有する P 型のソース／ドレイン拡散層 28 p を形成する (図 4 (b))。

【0037】

次いで、全面に、例えばプラズマ CVD 法により、例えば膜厚 300 nm のシリコン酸化膜を形成する。

【0038】

次いで、例えば CMP 法により、ダミーゲート電極 22 n, 22 p の上面が露出するまでシリコン酸化膜を平坦に除去し、シリコン酸化膜よりなる層間絶縁膜 30 を形成する (図 4 (c))。なお、ダミーゲート電極 22 n, 22 p の単位面積あたりの占有率が場所によって大きく異なる場合、研磨分布が悪化してダミーゲート電極の高さばらつきが大きくなる。したがって、ダミーゲート電極 22 n, 22 p の占有率をできるだけ等しくし、チップ内のパターン依存を少なくすることが望ましい。

【0039】

次いで、層間絶縁膜 30 上に、例えばスパッタ法により、例えば膜厚 200 nm のモリブデン (Mo) 膜 32 を堆積する。

【0040】

次いで、フォトリソグラフィ及びドライエッチングにより、モリブデン膜 3

2をパターニングし、モリブデン膜32をダミーゲート電極22p上に選択的に残存させる(図5(a))。この際、パターニングしたモリブデン膜32が、N型トランジスタ形成領域の素子領域上に延在しないようにする。

【0041】

なお、モリブデン膜32をパターニングする代わりに、例えば後述の第5及び第6実施形態に示すように、ダミーゲート電極22n上を覆う保護膜(シリコン酸化膜38, 54)を形成するようにしてもよい。

【0042】

次いで、窒素雰囲気中で、500～700℃の温度範囲、例えば550℃において10分間の熱処理を行う。この熱処理により、ダミーゲート電極22pとモリブデン膜32との界面からシリサイド化反応が進行し、多結晶シリコンよりなるダミーゲート電極22pは、モリブデンシリサイド(MoSi_x)よりなるゲート電極34bに置換される(図5(b))。

【0043】

次いで、例えばCMP法により、層間絶縁膜30の上面が露出するまでモリブデン膜32を研磨し、層間絶縁膜30上のモリブデン膜32を除去する(図5(c))。なお、CMP法を用いる代わりに、ドライエッチングやウェットエッチングによりモリブデン膜32を除去するようにしてもよい。

【0044】

次いで、例えばスパッタ法により、層間絶縁膜30上に、例えば膜厚400nmのアルミ膜36を形成する。

【0045】

次いで、フォトリソグラフィ及びドライエッチングにより、アルミ膜36をパターニングし、アルミ膜36をダミーゲート電極22n上に選択的に残存させる(図6(a))。

【0046】

次いで、窒素雰囲気中で、350～500℃の温度範囲、例えば400℃において、30分間の熱処理を行う。この熱処理により、ダミーゲート電極22nとアルミ膜36との界面から反応が進行し、多結晶シリコンよりなるダミーゲート

電極 22 n は、アルミよりなるゲート電極 34 a に置換される (図 6 (b))。

【0047】

この際、モリブデンシリサイド中におけるアルミ原子の拡散速度は非常に遅いため、ダミーゲート電極 22 n をアルミに置換する際の熱処理においてゲート電極 34 b 中にアルミ原子が拡散し、ゲート電極 34 b の仕事関数に影響を及ぼすことはない。また、後の多層配線工程で加わる熱処理においても、アルミ原子がモリブデンシリサイド中に拡散することはない。また、モリブデンシリサイドは熱的に安定な化合物であり、モリブデン原子やシリコン原子がアルミ中に拡散することもない。したがって、N 型トランジスタ及び P 型トランジスタは、それぞれが所望の仕事関数を有する材料によりゲート電極 34 a, 34 b が形成されるため、CMOS トランジスタの動作を高精度に制御することが可能となる。

【0048】

次いで、例えば CMP 法により、層間絶縁膜 30 の上面が露出するまでアルミ膜 36 を研磨し、層間絶縁膜 30 上のアルミ膜 36 を除去する (図 6 (c))。なお、CMP 法を用いる代わりに、ドライエッチングやウェットエッチングによりアルミ膜 36 を除去するようにしてもよい。

【0049】

なお、ダミーゲート電極 22 p をモリブデンシリサイドに置換するための一連のプロセスは、ダミーゲート電極 22 n をアルミに置換するための一連のプロセスよりも先に行うことが望ましい。熱処理温度が高いプロセスを先に行うことにより、両金属材料間の相互拡散を効果的に抑制できるからである。

【0050】

このように、本実施形態によれば、N 型トランジスタのゲート電極をアルミにより構成し、P 型トランジスタのゲート電極をモリブデンシリサイドにより構成するので、N 型トランジスタのゲート電極と P 型トランジスタのゲート電極との間で構成材料の相互拡散を防止することができる。したがって、N 型トランジスタのゲート電極と P 型トランジスタのゲート電極とを 1 つのパターンで形成する場合においても、ゲート電極形成後の熱処理によってゲート電極を構成する材料の仕事関数が変化することを防止することができる。

【0051】

なお、上記実施形態では、アルミ膜36をパターニングした後にアルミ置換のための熱処理を行ったが、アルミ置換のための熱処理温度においてアルミ原子がモリブデンシリサイド中に拡散することはない。したがって、アルミ膜36をパターニングせずに熱処理を行うようにしてもよい。

【0052】

[第2実施形態]

本発明の第2実施形態による半導体装置及びその製造方法について図7乃至図10を用いて説明する。なお、図1乃至図6に示す第1実施形態による半導体装置及びその製造方法と同様の構成要素には同一の符号を付し説明を省略し或いは簡略にする。

【0053】

図7は本実施形態による半導体装置の構造を示す概略断面図、図8乃至図10は本実施形態による半導体装置の製造方法を示す工程断面図である。

【0054】

はじめに、本実施形態による半導体装置の構造について図7を用いて説明する。

【0055】

本実施形態による半導体装置は、基本的な構造は図1及び図2に示す第1実施形態による半導体装置と同様である。本実施形態による半導体装置の主たる特徴は、P型トランジスタのゲート電極が、窒化チタン(TiN)よりなるゲート電極34cにより構成されていることにある。なお、N型トランジスタのゲート電極は、第1実施形態の場合と同様、アルミよりなるゲート電極34aである。

【0056】

窒化チタンは、バリアメタルとしても知られるように、アルミの拡散バリアとして機能する。したがって、窒化チタンをP型トランジスタのゲート電極34cに用い、アルミをN型トランジスタのゲート電極34aに用いた場合、ゲート電極34a, 34c間における構成材料の相互拡散は極めて小さく、CMOSトランジスタの形成のためにゲート電極34a, 34cを1つのパターンにより形成

した場合であっても、多層配線形成工程等における熱処理によりゲート電極 34 a, 34 c の仕事関数が変化することを防止することができる。P 型トランジスタのゲート電極に窒化チタンを用いることによりゲート配線を低抵抗化することができ、P 型トランジスタの高速化を図ることができる。窒化チタンの仕事関数は、P 型トランジスタのゲート電極としても好適である。

【0057】

次に、本実施形態による半導体装置の製造方法について図 8 乃至図 10 を用いて説明する。

【0058】

まず、例えば図 3 (a) 乃至図 4 (c) に示す第 1 実施形態による半導体装置の製造方法と同様にして、ダミーゲート電極 22 n, 22 p、層間絶縁膜 30 等を形成する (図 8 (a))。

【0059】

次いで、全面に、例えばプラズマ CVD 法により、例えば膜厚 200 nm のシリコン酸化膜 38 を形成する。なお、シリコン酸化膜の代わりに、多結晶シリコン膜に対してエッチング選択性が得られる他の材料、例えばシリコン窒化膜やフオトレジスト膜を形成してもよい。

【0060】

次いで、リソグラフィ及びドライエッチングにより、シリコン酸化膜 38 をパターニングし、シリコン酸化膜 38 をダミーゲート電極 22 n 上に選択的に残存させる (図 8 (b))。この際、ダミーゲート電極 22 n の上面上が完全に覆われるようにする。

【0061】

次いで、ドライエッチングにより、シリコン酸化膜 38 をマスクとして、ダミーゲート電極 22 p を選択的に除去する。この際、ダミーゲート電極 22 p 下に形成されているゲート絶縁膜 18 へのダメージが懸念される場合には、ゲート絶縁膜 18 をも除去するようにしてもよい (図 8 (c))。なお、ゲート絶縁膜 18 は必ずしも除去する必要はない。

【0062】

次いで、熱酸化法により、ゲート絶縁膜 18 を除去することにより露出したシリコン基板 10 上に、シリコン酸化膜よりなるゲート絶縁膜 40 を形成する（図 9（a））。

【0063】

次いで、シリコン酸化膜 38 を除去した後、例えば熱 CVD 法により、例えば膜厚 200 nm の窒化チタン膜 42 を形成する（図 9（b））。

【0064】

次いで、例えば CMP 法により、層間絶縁膜 30 の上面が露出するまで窒化チタン膜 42 を研磨し、層間絶縁膜 30 上の窒化チタン膜 42 を除去する。こうして、ゲート絶縁膜 40 上に、窒化チタンよりなるゲート電極 34 c を形成する（図 9（c））。なお、CMP 法を用いる代わりに、ドライエッチングやウェットエッチングにより窒化チタン膜 42 を除去するようにしてもよい。

【0065】

次いで、例えばスパッタ法により、層間絶縁膜 30 上に、例えば膜厚 400 nm のアルミ膜 36 を形成する（図 10（a））。なお、後工程の熱処理においてゲート電極 34 c を構成する窒化チタンはアルミと反応しないため、本実施形態による半導体装置の製造方法では、アルミ膜 36 を予めパターンニングしておく必要はない。

【0066】

次いで、窒素雰囲気中で、350～500℃の温度範囲、例えば400℃において、30分間の熱処理を行う。この熱処理により、ダミーゲート電極 22 n とアルミ膜 36 との界面から反応が進行し、多結晶シリコンよりなるダミーゲート電極 22 n は、アルミよりなるゲート電極 34 a に置換される（図 10（b））。

【0067】

この際、窒化チタンとアルミとが反応することはない。したがって、N型トランジスタ及びP型トランジスタは、それぞれが所望の仕事関数を有する材料によりゲート電極 34 a, 34 c が形成されるため、CMOS トランジスタの動作を高精度に制御することが可能となる。

【0068】

次いで、例えばCMP法により、層間絶縁膜30の上面が露出するまでアルミ膜36を研磨し、層間絶縁膜30上のアルミ膜36を除去する（図10（c））。なお、CMP法を用いる代わりに、ドライエッチングやウェットエッチングによりアルミ膜36を除去するようにしてもよい。

【0069】

このように、本実施形態によれば、N型トランジスタのゲート電極をアルミにより構成し、P型トランジスタのゲート電極を窒化チタンにより構成するので、N型トランジスタのゲート電極とP型トランジスタのゲート電極との間で構成材料の相互拡散を防止することができる。したがって、N型トランジスタのゲート電極とP型トランジスタのゲート電極とを1つのパターンで形成する場合においても、ゲート電極形成後の熱処理によってゲート電極を構成する材料の仕事関数が増加することを防止することができる。

【0070】

なお、上記実施形態では、P型トランジスタのゲート電極の材料として窒化チタンを用いたが、バリアメタルとして機能する他の材料、例えば窒化タンタル（Ta₂N₅）、窒化タングステン（WN）、TiAlSi、TiSiN、TaSiN、WSiN等を用いてもよい。

【0071】

[第3実施形態]

本発明の第3実施形態による半導体装置及びその製造方法について図11乃至図13を用いて説明する。なお、図1乃至図10に示す第1及び第2実施形態による半導体装置及びその製造方法と同様の構成要素には同一の符号を付し説明を省略し或いは簡略にする。

【0072】

図11は本実施形態による半導体装置の構造を示す概略断面図、図12及び図13は本実施形態による半導体装置の製造方法を示す工程断面図である。

【0073】

はじめに、本実施形態による半導体装置の構造について図11を用いて説明す

る。

【0074】

本実施形態による半導体装置は、基本的な構造は図1及び図2に示す第1実施形態による半導体装置と同様である。本実施形態による半導体装置の主たる特徴は、P型トランジスタのゲート電極が、チタンとアルミとの合金（TiAl合金）からなるゲート電極34dにより構成されていることにある。なお、N型トランジスタのゲート電極は、第1実施形態の場合と同様、アルミよりなるゲート電極34aである。

【0075】

TiAl合金は、熱的に安定な合金化合物であり、ゲート電極形成後の各種熱処理工程において、TiAl合金からアルミに対してのチタンやアルミの拡散は生じない。また、TiAl合金へのアルミの拡散が生じることもない。したがって、TiAl合金をP型トランジスタのゲート電極34dに用い、アルミをN型トランジスタのゲート電極34aに用いた場合、ゲート電極34a、34d間における構成材料の相互拡散は極めて小さく、CMOSトランジスタの形成のためにゲート電極34a、34dを1つのパターンにより形成した場合であっても、多層配線形成工程等における熱処理によりゲート電極34a、34dの仕事関数が増加することを防止することができる。また、P型トランジスタのゲート電極をTiAl合金により構成することによりゲート配線を低抵抗化することができる。また、TiAl合金の仕事関数は、P型トランジスタのゲート電極としても好適である。

【0076】

次に、本実施形態による半導体装置の製造方法について図8乃至図10を用いて説明する。

【0077】

まず、例えば図3（a）乃至図4（c）に示す第1実施形態による半導体装置の製造方法と同様にして、ダミーゲート電極22n、22p、層間絶縁膜30等を形成する（図12（a））。

【0078】

次いで、全面に、例えばスパッタ法により、例えば膜厚 400 nm のアルミ膜 36 と、例えば膜厚 200 nm のチタン (Ti) 膜 44 とを形成する (図 12 (b))。アルミ膜 36 とチタン膜 44 の膜厚は、ゲート電極 34 d として用いるに好ましい TiAl 合金の組成に応じて適宜設定する。

【0079】

次いで、リソグラフィ及びドライエッチングにより、チタン膜 44 をパターニングし、チタン膜 44 を P 型トランジスタ形成領域に選択的に残存させる (図 12 (c))。

【0080】

次いで、窒素雰囲気中で、400～500℃の温度範囲、例えば 400℃において、30 分間の熱処理を行う。

【0081】

この熱処理により、N 型トランジスタ形成領域では、ダミーゲート電極 22 n とアルミ膜 36 との界面から反応が進行し、多結晶シリコンよりなるダミーゲート電極 22 n がアルミよりなるゲート電極 34 a に置換される。同時に、P 型トランジスタ形成領域では、アルミ膜 36 とチタン膜 44 とが反応して TiAl 合金膜 46 が形成されるとともに、多結晶シリコンよりなるダミーゲート電極 22 p が TiAl 合金よりなるゲート電極 34 d に置換される (図 13 (a))。

【0082】

このように、本実施形態ではダミーゲート電極 22 n, 22 p を同時に置換するので、一方の置換の際に他方の領域まで置換されるような不具合が生じることはない。また、置換後は、熱的に安定なアルミと TiAl 合金とが接するので、その後の熱処理による構成原子の相互拡散を抑制することができる。

【0083】

次いで、例えば CMP 法により、層間絶縁膜 30 の上面が露出するまでアルミ膜 36 及び TiAl 合金膜 46 を研磨し、層間絶縁膜 30 上のアルミ膜 36 及び TiAl 合金膜 46 を除去する (図 13 (b))。なお、CMP 法を用いる代わりに、ドライエッチングやウェットエッチングによりアルミ膜 36 及び TiAl 合金膜 46 を除去するようにしてもよい。

【0084】

このように、本実施形態によれば、N型トランジスタのゲート電極をアルミにより構成し、P型トランジスタのゲート電極をTiAl合金により構成するので、N型トランジスタのゲート電極とP型トランジスタのゲート電極との間で構成材料の相互拡散を防止することができる。したがって、N型トランジスタのゲート電極とP型トランジスタのゲート電極とを1つのパターンで形成する場合においても、ゲート電極形成後の熱処理によってゲート電極を構成する材料の仕事関数が増加することを防止することができる。

【0085】

なお、上記実施形態では、アルミ膜36上にパターンニングしたチタン膜44を形成したが、パターンニングしたチタン膜44上にアルミ膜36を形成するようにしてもよい。

【0086】

また、上記実施形態では、P型トランジスタのゲート電極の材料としてTiAl合金を用いたが、好適な仕事関数を有し熱的に安定な他の合金、例えばTiNi、RuTa、TaAl、MoTa等も用いてもよい。これら合金からなるゲート電極は、本実施形態の場合のように合金反応と置換とを併用することにより形成してもよいし、第2実施形態のようにダマシン法を用いて形成してもよい。

【0087】

[第4実施形態]

本発明の第4実施形態による半導体装置及びその製造方法について図14乃至図17を用いて説明する。なお、図1乃至図13に示す第1乃至第3実施形態による半導体装置及びその製造方法と同様の構成要素には同一の符号を付し説明を省略し或いは簡略にする。

【0088】

図14は本実施形態による半導体装置の構造を示す概略断面図、図15乃至図17は本実施形態による半導体装置の製造方法を示す工程断面図である。

【0089】

はじめに、本実施形態による半導体装置の構造について図14を用いて説明す

る。

【0090】

本実施形態による半導体装置は、基本的な構造は図1及び図2に示す第1実施形態による半導体装置と同様である。本実施形態による半導体装置の主たる特徴は、N型トランジスタのゲート電極がチタンシリサイド (TiSix) よりなるゲート電極34eにより構成されており、P型トランジスタのゲート電極がタングステンシリサイド (WSix) よりなるゲート電極34fにより構成されていることにある。ゲート電極をシリサイドにより構成することによりゲート配線を低抵抗化することができ、トランジスタの高速化を図ることができる。なお、チタンシリサイドの仕事関数はN型トランジスタのゲート電極として好適であり、タングステンシリサイドの仕事関数はP型トランジスタのゲート電極として好適である。

【0091】

タングステンシリサイドやチタンシリサイドなどの高融点金属シリサイドは、熱的に極めて安定な化合物であり、ゲート電極形成後の各種熱処理工程において、両シリサイドから各々の金属元素が相互に拡散することはない。したがって、チタンシリサイドをN型トランジスタのゲート電極34eに用い、タングステンシリサイドをP型トランジスタのゲート電極34fに用いた場合、ゲート電極34e、34f間における構成材料の相互拡散は極めて小さく、CMOSトランジスタの形成のためにゲート電極34e、34fを1つのパターンにより形成した場合であっても、多層配線形成工程等における熱処理によりゲート電極34e、34fの仕事関数が変化することを防止することができる。

【0092】

次に、本実施形態による半導体装置の製造方法について図15乃至図17を用いて説明する。

【0093】

まず、例えば図3(a)乃至図4(c)に示す第1実施形態による半導体装置の製造方法と同様にして、ダミーゲート電極22n、22p、層間絶縁膜30等を形成する(図15(a))。

【0094】

次いで、全面に、例えばプラズマCVD法により、例えば膜厚100nmのシリコン酸化膜38を形成する。

【0095】

次いで、リソグラフィー及びドライエッチングにより、シリコン酸化膜38をパターンニングし、シリコン酸化膜38をダミーゲート電極22n上に選択的に残存させる(図15(b))。この際、ダミーゲート電極22nの上面上が完全に覆われるようにする。

【0096】

なお、シリコン酸化膜38を形成する代わりに、後述の第6実施形態に記載のように、ダミーゲート電極22nの表面を選択的に酸化するようにしてもよい。

【0097】

次いで、例えばスパッタ法により、シリコン酸化膜38が形成された層間絶縁膜30上に、例えば膜厚200nmのタングステン膜48を形成する(図15(c))。

【0098】

次いで、窒素雰囲気中で、例えば1100℃、30秒の熱処理を行う。この熱処理により、ダミーゲート電極22pとタングステン膜48との界面からシリサイド化反応が進行し、多結晶シリコンよりなるダミーゲート電極22pは、タングステンシリサイド(WSi_x)よりなるゲート電極34fに置換される(図16(a))。なお、ダミーゲート電極22n上にはシリコン酸化膜38が形成されているため、シリサイド化反応は生じない。

【0099】

次いで、例えばCMP法により、層間絶縁膜30の上面が露出するまでタングステン膜48及びシリコン酸化膜38を研磨し、層間絶縁膜30上のタングステン膜48及びシリコン酸化膜38を除去する(図16(b))。なお、CMP法を用いる代わりに、ドライエッチングやウェットエッチングによりタングステン膜48及びシリコン酸化膜38を除去するようにしてもよい。

【0100】

次いで、例えばスパッタ法により、層間絶縁膜 30 上に、例えば膜厚 200 nm のチタン膜 44 を形成する（図 16 (c)）。

【0101】

次いで、窒素雰囲気中で、例えば 1000℃、30 秒の熱処理を行う。この熱処理により、ダミーゲート電極 22 n とチタン膜 44 との界面からシリサイド化反応が進行し、多結晶シリコンよりなるダミーゲート電極 22 n は、チタンシリサイド (TiSix) よりなるゲート電極 34 e に置換される（図 17 (a)）。

【0102】

この際、タングステンシリサイドは熱的に極めて安定であるため、チタン膜 44 或いはゲート電極 34 e を構成するチタンシリサイドと反応することはない。したがって、N 型トランジスタ及び P 型トランジスタは、それぞれが所望の仕事関数を有する材料によりゲート電極 34 e, 34 f が形成されるため、CMOS トランジスタの動作を高精度に制御することが可能となる。

【0103】

なお、チタンはシリコン酸化膜に対して還元作用を有する材料であり、シリコン酸化膜 38 が十分に薄い場合には、シリコン酸化膜 38 を除去せずともダミーゲート電極 22 をチタンシリサイドよりなるゲート電極 34 e に置換することが可能である。

【0104】

次いで、例えば CMP 法により、層間絶縁膜 30 の上面が露出するまでチタン膜 44 を研磨し、層間絶縁膜 30 上のチタン膜 44 を除去する（図 17 (b)）。なお、CMP 法を用いる代わりに、ドライエッチングやウェットエッチングによりチタン膜 44 を除去するようにしてもよい。

【0105】

このように、本実施形態によれば、N 型トランジスタのゲート電極をチタンシリサイドにより構成し、P 型トランジスタのゲート電極をタングステンシリサイドにより構成するので、N 型トランジスタのゲート電極と P 型トランジスタのゲート電極との間で構成材料の相互拡散を防止することができる。したがって、N

型トランジスタのゲート電極とP型トランジスタのゲート電極とを1つのパターンで形成する場合においても、ゲート電極形成後の熱処理によってゲート電極を構成する材料の仕事関数が変化することを防止することができる。

【0106】

なお、上記実施形態では、N型トランジスタのゲート電極の材料としてチタンシリサイドを用い、P型トランジスタのゲート電極の材料としてタングステンシリサイドを用いたが、好適な仕事関数を有し熱的に安定な他のシリサイド、例えばZrSi、HfSi、VSi、NbSi、TaSi、CrSi、MoSi、FeSi、CoSi、NiSi、RuSi、RhSi、PdSi、ReSi、OsSi、IrSi、PtSi等を用いてもよい。これらシリサイドからなるゲート電極は、本実施形態の場合のようにシリサイド化反応を用いて形成してもよいし、第2実施形態のようにダマシン法を用いて形成してもよい。

【0107】

[第5実施形態]

本発明の第5実施形態による半導体装置及びその製造方法について図18乃至図21を用いて説明する。なお、図1乃至図17に示す第1乃至第4実施形態による半導体装置及びその製造方法と同様の構成要素には同一の符号を付し説明を省略し或いは簡略にする。

【0108】

図18は本実施形態による半導体装置の構造を示す概略断面図、図19乃至図21は本実施形態による半導体装置の製造方法を示す工程断面図である。

【0109】

はじめに、本実施形態による半導体装置の構造について図18を用いて説明する。

【0110】

本実施形態による半導体装置は、基本的な構造は図1及び図2に示す第1実施形態による半導体装置と同様である。本実施形態による半導体装置の主たる特徴は、P型トランジスタのゲート電極がタングステンシリサイド(WSi_x)よりなるゲート電極34fにより構成されていることにある。N型トランジスタのゲ

ート電極は、第1実施形態の場合と同様、アルミよりなるゲート電極34aである。

【0111】

タングステンシリサイドは、熱的に極めて安定な化合物であり、ゲート電極形成後の各種熱処理工程において、アルミと反応することはない。したがって、アルミをN型トランジスタのゲート電極34aに用い、タングステンシリサイドをP型トランジスタのゲート電極34fに用いた場合、ゲート電極34a、34f間における構成材料の相互拡散は極めて小さく、CMOSトランジスタの形成のためにゲート電極34a、34fを1つのパターンにより形成した場合であっても、多層配線形成工程等における熱処理によりゲート電極34a、34fの仕事関数が増加することを防止することができる。

【0112】

次に、本実施形態による半導体装置の製造方法について図19乃至図21を用いて説明する。

【0113】

まず、例えば図3(a)乃至図4(c)に示す第1実施形態による半導体装置の製造方法と同様にして、ダミーゲート電極22n、22p、層間絶縁膜30等を形成する(図19(a))。

【0114】

次いで、全面に、例えばプラズマCVD法により、例えば膜厚100nmのシリコン酸化膜38を形成する。

【0115】

次いで、リソグラフィ及びドライエッチングにより、シリコン酸化膜38をパターニングし、シリコン酸化膜38をダミーゲート電極22n上に選択的に残存させる(図19(b))。この際、ダミーゲート電極22nの上面上が完全に覆われるようにする。

【0116】

次いで、例えばスパッタ法により、シリコン酸化膜38が形成された層間絶縁膜30上に、例えば膜厚5nmのタンタル膜50を形成する(図19(c))。

【0117】

次いで、例えばスパッタ法により、タンタル膜50上に、例えば膜厚200nmのタンゲステン膜48を形成する(図20(a))。

【0118】

なお、タンタル膜50は、層間絶縁膜30及びシリコン酸化膜38に対するタンゲステン膜48の密着性を向上するための膜である。タンゲステン膜とシリコン酸化膜との密着性は、シリコンと酸素の元素組成比に依存する。シリコンに対して酸素の比率が大きくなると密着力が低下する傾向にある。密着力が十分に得られない場合には、本実施形態のようにタンゲステン膜48の下地にタンタル膜50を形成することが望ましい。

【0119】

次いで、窒素雰囲気中で、例えば1100℃、30秒の熱処理を行う。この熱処理により、ダミーゲート電極22pとタンタル膜50との界面からシリサイド化反応が進行し、多結晶シリコンよりなるダミーゲート電極22pは、タンゲステンシリサイド(WSix)よりなるゲート電極34fに置換される。また、タンタル膜50は、タンゲステン膜48中に拡散して取り込まれる(図20(b))。

【0120】

なお、タンタル膜を介在させる場合、上記熱処理過程においてタンタル膜50もシリコンと置換し或いはシリサイド化反応を生じる。したがって、ゲート電極34fの仕事関数が所望の値から変化しないように、タンタル膜の膜厚等を適宜調整することが望ましい。

【0121】

次いで、例えばCMP法により、層間絶縁膜30の上面が露出するまでタンゲステン膜48及びシリコン酸化膜38を研磨し、層間絶縁膜30上のタンゲステン膜48及びシリコン酸化膜38を除去する(図20(c))。なお、CMP法を用いる代わりに、ドライエッチングやウェットエッチングによりタンゲステン膜48及びシリコン酸化膜38を除去するようにしてもよい。

【0122】

次いで、例えばスパッタ法により、層間絶縁膜 3 0 上に、例えば膜厚 4 0 0 n m のアルミ膜 3 6 を形成する（図 2 1 （a））。

【0 1 2 3】

次いで、窒素雰囲気中で、3 5 0 ～ 5 0 0 ℃の温度範囲、例えば 4 0 0 ℃において、3 0 分間の熱処理を行う。この熱処理により、ダミーゲート電極 2 2 n とアルミ膜 3 6 との界面から反応が進行し、多結晶シリコンよりなるダミーゲート電極 2 2 n は、アルミよりなるゲート電極 3 4 a に置換される（図 2 1 （b））。

【0 1 2 4】

この際、タングステンシリサイドは熱的に極めて安定であるため、ゲート電極 3 4 f とアルミ膜 3 6 或いはゲート電極 3 4 a とが反応することはない。したがって、N 型トランジスタ及び P 型トランジスタは、それぞれが所望の仕事関数を有する材料によりゲート電極 3 4 a, 3 4 f が形成されるため、CMOS トランジスタの動作を高精度に制御することが可能となる。

【0 1 2 5】

次いで、例えば CMP 法により、層間絶縁膜 3 0 の上面が露出するまでアルミ膜 3 6 を研磨し、層間絶縁膜 3 0 上のアルミ膜 3 6 を除去する（図 2 1 （c））。なお、CMP 法を用いる代わりに、ドライエッチングやウェットエッチングによりアルミ膜 3 6 を除去するようにしてもよい。

【0 1 2 6】

このように、本実施形態によれば、N 型トランジスタのゲート電極をアルミにより構成し、P 型トランジスタのゲート電極をタングステンシリサイドにより構成するので、N 型トランジスタのゲート電極と P 型トランジスタのゲート電極との間で構成材料の相互拡散を防止することができる。したがって、N 型トランジスタのゲート電極と P 型トランジスタのゲート電極とを 1 つのパターンで形成する場合においても、ゲート電極形成後の熱処理によってゲート電極を構成する材料の仕事関数が変化することを防止することができる。

【0 1 2 7】

[第 6 実施形態]

本発明の第6実施形態による半導体装置及びその製造方法について図22乃至図25を用いて説明する。なお、図1乃至図21に示す第1乃至第5実施形態による半導体装置及びその製造方法と同様の構成要素には同一の符号を付し説明を省略し或いは簡略にする。

【0128】

図22は本実施形態による半導体装置の構造を示す概略断面図、図23乃至図25は本実施形態による半導体装置の製造方法を示す工程断面図である。

【0129】

はじめに、本実施形態による半導体装置の構造について図22を用いて説明する。

【0130】

本実施形態による半導体装置は、基本的な構造は図1及び図2に示す第1実施形態による半導体装置と同様である。本実施形態による半導体装置の主たる特徴は、P型トランジスタのゲート電極が、モリブデン(Mo)からなるゲート電極34gにより構成されていることにある。なお、N型トランジスタのゲート電極は、第1実施形態の場合と同様、アルミよりなるゲート電極34aである。

【0131】

P型トランジスタのゲート電極34gをモリブデンにより構成することにより、ゲート配線を低抵抗化することができ、P型トランジスタの高速化を図ることができる。モリブデンの仕事関数は、P型トランジスタのゲート電極として好適でもある。

【0132】

また、モリブデン中におけるアルミ原子の拡散速度及びアルミ中におけるモリブデン原子の拡散速度は極めて遅いため、ゲート電極34a、34b間における構成材料の相互拡散は極めて小さい。したがって、CMOSトランジスタの形成のためにゲート電極34a、34gを1つのパターンにより形成した場合であっても、多層配線形成工程等における熱処理によりゲート電極34a、34gの仕事関数が変化することを防止することができる。

【0133】

次に、本実施形態による半導体装置の製造方法について図 23 乃至図 25 を用いて説明する。

【0134】

まず、例えば図 3 (a) 乃至図 4 (c) に示す第 1 実施形態による半導体装置の製造方法と同様にして、ダミーゲート電極 22n, 22p、層間絶縁膜 30 等を形成する (図 23 (a))。

【0135】

次いで、層間絶縁膜 30 上に、リソグラフィーにより、ダミーゲート電極 22p 上を選択的に覆うフォトレジスト 52 を形成する。

【0136】

次いで、フォトレジスト 52 をマスクとして酸素プラズマ処理を行い、ダミーゲート電極 22n の上面上に選択的にシリコン酸化膜 54 を形成する (図 23 (b))。これにより、ゲート電極 22n の上面上はシリコン酸化膜 54 により完全に覆われる。

【0137】

次いで、例えばプラズマアッシングにより、フォトレジスト 52 を除去する。なお、フォトレジスト膜 52 はシリコン酸化膜 54 を形成する際の酸素プラズマ処理において同時に除去するようにしてもよい。

【0138】

次いで、例えばスパッタ法により、層間絶縁膜 30 上に、例えば膜厚 500 nm のモリブデン膜 32 を堆積する。

【0139】

次いで、窒素雰囲気中で、700～900℃の温度範囲、例えば700℃において30分間の熱処理を行う。この熱処理により、ダミーゲート電極 22p とモリブデン膜 32 との界面から反応が進行し、多結晶シリコンよりなるダミーゲート電極 22p がモリブデンよりなるゲート電極 34g に置換される。なお、この熱処理の際、ダミープラグ 22n はシリコン酸化膜 54 により覆われているため、モリブデンにより置換されることはない。

【0140】

金属とシリコンとの間のシリサイド化反応では、反応温度によって拡散種が決定される。例えばモリブデンの場合、第1実施形態に示すように約550℃以下の低温の熱処理では、拡散種はモリブデンであり、ダミープラグ22p中にモリブデン原子が拡散してモリブデンシリサイドが形成される。一方、本実施形態に示すように700℃以上の高温の熱処理では、拡散種はシリコンであり、ダミープラグ22p中のシリコン原子がモリブデン膜32中に拡散し、ダミープラグ22pがモリブデンに置換される。モリブデン膜32中に拡散したシリコン原子は、モリブデン膜32の表面にモリブデンシリサイドを形成する。したがって、熱処理温度を適宜設定することにより、ダミープラグ22pをシリサイドにより置換するか金属により置換するかを制御することができる。なお、金属とシリコンとの間の拡散現象については、例えば、非特許文献1に記載されている。

【0141】

次いで、例えばCMP法により、層間絶縁膜30の上面が露出するまでモリブデン膜32を研磨し、層間絶縁膜30上のモリブデン膜32を除去する（図24（b））。なお、CMP法を用いる代わりに、ドライエッチングやウェットエッチングによりモリブデン膜32を除去するようにしてもよい。

【0142】

次いで、ドライエッチング或いはウェットエッチングにより、シリコン酸化膜54を選択的に除去し、ダミーゲート電極22nの上面を露出する（図24（c））。

【0143】

次いで、例えばスパッタ法により、層間絶縁膜30上に、例えば膜厚400nmのアルミ膜36を形成する（図25（a））。

【0144】

次いで、窒素雰囲気中で、350～500℃の温度範囲、例えば400℃において、30分間の熱処理を行う。この熱処理により、ダミーゲート電極22nとアルミ膜36との界面から反応が進行し、多結晶シリコンよりなるダミーゲート電極22nは、アルミよりなるゲート電極34aに置換される（図6（b））。

【0145】

この際、モリブデン中におけるアルミ原子の拡散速度は非常に遅いため、ゲート電極 34 g 中にアルミ原子が拡散し、ゲート電極 34 g の仕事関数に影響を及ぼすことはない。また、後の多層配線工程で加わる熱処理においても、アルミ原子がモリブデン中に拡散することはない。また、モリブデンは熱的に安定な高融点金属であり、モリブデン原子がアルミ中に拡散することもない。したがって、N型トランジスタ及びP型トランジスタは、それぞれが所望の仕事関数を有する材料によりゲート電極 34 a, 34 g が形成されるため、CMOS トランジスタの動作を高精度に制御することが可能となる。

【0146】

次いで、例えばCMP法により、層間絶縁膜 30 の上面が露出するまでアルミ膜 36 を研磨し、層間絶縁膜 30 上のアルミ膜 36 を除去する（図 25 (c)）。なお、CMP法を用いる代わりに、ドライエッチングやウェットエッチングによりアルミ膜 36 を除去するようにしてもよい。

【0147】

なお、ダミーゲート電極 22 p をモリブデンに置換するための一連のプロセスは、ダミーゲート電極 22 n をアルミに置換するための一連のプロセスよりも先に行うことが望ましい。アルミは融点が低く、モリブデンに置換する際の熱処理工程に耐えられないからである。

【0148】

このように、本実施形態によれば、N型トランジスタのゲート電極をアルミにより構成し、P型トランジスタのゲート電極をモリブデンにより構成するので、N型トランジスタのゲート電極とP型トランジスタのゲート電極との間で構成材料の相互拡散を防止することができる。したがって、N型トランジスタのゲート電極とP型トランジスタのゲート電極とを1つのパターンで形成する場合においても、ゲート電極形成後の熱処理によってゲート電極を構成する材料の仕事関数が増加することを防止することができる。

【0149】

なお、上記実施形態では、P型トランジスタのゲート電極の材料としてモリブデンを用い、N型トランジスタのゲート電極の材料としてアルミを用いたが、好

適な仕事関数を有し熱的に安定な他の金属、例えばチタン、ジルコニウム (Zr)、ハフニウム (Hf)、バナジウム (V)、ニオブ (Nb)、タンタル、クロム (Cr)、タングステン、鉄 (Fe)、コバルト、ニッケル (Ni)、プラチナ、パラジウム (Pd) 等も用いてもよい。チタンなど、シリコン酸化膜の還元作用を有する材料を用いる場合、ダミーゲート電極 22 n 上を覆う保護膜 (シリコン酸化膜 54) の膜厚は厚くしておくことが望ましい。

【0150】

また、上記実施形態では、ダミーゲート電極 22 n 上を覆うシリコン酸化膜 54 を酸素プラズマ処理により形成したが、通常のシリコン酸化膜の形成と同様に酸素雰囲気中での熱処理によりシリコン酸化膜 54 を形成するようにしてもよい。この場合、フォトレジスト膜 54 の代わりに、酸化マスクとなる他の膜、例えばシリコン窒化膜を形成しておけばよい。また、シリコン酸化膜 54 を形成する代わりに、ダミーゲート電極 22 p 上の自然酸化膜を選択的に除去するようにしてもよい。多結晶シリコンのモリブデンによる置換は、自然酸化膜のようなごく薄い保護膜によっても防止することが可能である。

【0151】

また、上記実施形態では、ダミーゲート電極 22 n 上を覆う保護膜としてシリコン酸化膜 54 を用いたが、多結晶シリコンとモリブデンとの間の反応を抑止する膜であれば、シリコン酸化膜に限定されるものではない。例えば、シリコン窒化膜を用いることも可能である。

【0152】

[第7実施形態]

本発明の第7実施形態による半導体装置及びその製造方法について図26及び図27を用いて説明する。なお、図1乃至図25に示す第1乃至第6実施形態による半導体装置及びその製造方法と同様の構成要素には同一の符号を付し説明を省略し或いは簡略にする。

【0153】

図26は本実施形態による半導体装置の構造を示す概略断面図、図27は本実施形態による半導体装置の製造方法を示す工程断面図である。

【0154】

はじめに、本実施形態による半導体装置の構造について図26を用いて説明する。

【0155】

本実施形態による半導体装置は、基本的な構造は図1及び図2に示す第1実施形態による半導体装置と同様である。本実施形態による半導体装置の主たる特徴は、N型トランジスタのゲート電極が砒素 (As) を含むニッケルシリサイド (NiSi_x) よりなるゲート電極34hにより構成されており、P型トランジスタのゲート電極がボロンを含むニッケルシリサイドよりなるゲート電極34iにより構成されていることにある。ゲート電極を同一のシリサイドにより構成する場合であっても、これに含まれる不純物の違いにより、仕事関数は変化する。したがって、シリサイドに添加する不純物を適宜選択することにより、シリサイドの仕事関数をN型トランジスタ及びP型トランジスタに好適な仕事関数に制御することができる。ニッケルシリサイドの場合、砒素を添加することによりN型トランジスタに好適な仕事関数となり、ボロンを添加することによりP型トランジスタに好適な仕事関数となる。なお、不純物添加によるニッケルシリサイドの仕事関数の変化については、例えば非特許文献2に記載されている。

【0156】

ゲート電極をニッケルシリサイドにより構成することは、ゲート配線を低抵抗化するうえでも効果がある。

【0157】

次に、本実施形態による半導体装置の製造方法について図27を用いて説明する。

【0158】

まず、例えば図3(a)乃至図4(c)に示す第1実施形態による半導体装置の製造方法と同様にして、ダミーゲート電極22n、22p、層間絶縁膜30等を形成する(図27(a))。

【0159】

なお、ダミーゲート電極22nには、ソース／ドレイン拡散層28nを形成す

る際に添加した砒素が同時に添加されている。同様に、ダミーゲート電極 22 p には、ソース／ドレイン拡散層 28 p を形成する際に添加したボロンが同時に添加されている。

【0160】

次いで、全面に、例えばスパッタ法により、例えば膜厚 30 nm のニッケル膜 56 を形成する（図 27（b））。

【0161】

次いで、窒素雰囲気中で、例えば 400℃ 3 分間の熱処理を行い、ダミーゲート電極 22 n, 22 p を構成する多結晶シリコン 20 とニッケル膜 56 とを反応させる。このとき、ダミーゲート電極 22 n, 22 p 中に存在していた不純物は、その場に留まっている。これにより、ダミーゲート電極 22 n は砒素を含むゲート電極 34 h に置換され、ダミーゲート電極 22 p はボロンを含むゲート電極 34 i に置換される（図 27（c））。

【0162】

次いで、ウェットエッチングにより、未反応のニッケル膜 56 を除去する。これにより、図 26 に示す半導体装置が製造される。

【0163】

ゲート電極 34 h, 34 i 中に添加された不純物は、その後の多層配線工程の熱処理によって相互拡散することなく、それぞれの仕事関数を一定に保つことができる。

【0164】

このように、本実施形態によれば、N 型トランジスタのゲート電極を砒素が添加されたニッケルシリサイドにより構成し、P 型トランジスタのゲート電極をボロンが添加されたニッケルシリサイドにより構成するので、N 型トランジスタのゲート電極と P 型トランジスタのゲート電極との間における構成材料の相互拡散を防止することができる。したがって、N 型トランジスタのゲート電極と P 型トランジスタのゲート電極とを 1 つのパターンで形成する場合においても、ゲート電極形成後の熱処理によってゲート電極を構成する材料の仕事関数が変化することを防止することができる。

【0165】

なお、上記実施形態では、ゲート電極の材料としてニッケルシリサイドを用いたが、コバルトシリサイドを用いてもよい。コバルトシリサイドの場合にも、不純物添加により仕事関数の制御を行うことができる。

【0166】

[変形実施形態]

本発明は上記実施形態に限らず種々の変形が可能である。

【0167】

例えば、上記実施形態では、P型トランジスタのダミーゲート電極22pを先に置換し、N型トランジスタのダミーゲート電極22nをその後に置換しているが、いずれのダミーゲート電極を先に置換するかは、形成しようとするゲート電極の構成材料等に応じて適宜選択することができる。構成材料間の相互拡散を効果的に防止するには、構成材料を置換するに必要な温度が高い方のダミーゲート電極について先に置換を行い、その後、構成材料を置換するに必要な温度が低い方のダミー電極について置換を行うことが望ましい。一方のダミーゲート電極の構成材料を置換するに必要な温度が構成材料間の相互拡散を引き起こす虞がある場合でも、構成材料を置換するに必要な温度が高い方の材料の置換を先に行うことにより、構成材料間の相互拡散を効果的に防止することができる。

【0168】

また、上記実施形態では、ダミーゲート電極22nをアルミに置換する際、アルミ膜36のみを堆積して熱処理を行ったが、アルミ膜36上にチタン膜、タングステン膜、モリブデン膜、コバルト膜、タンタル膜、銅膜等の遷移金属の膜を形成するようにしてもよい。これら金属はダミーゲート電極22nを構成するシリコンを取り込むように作用するため、アルミ膜36上にこれら金属膜を形成することによりダミーゲート電極22nの置換速度を増加することができる。なお、上記手法は、例えば特許文献5に記載されている。

【0169】

また、上記実施形態では、ダミーゲート電極22nを置換する際に用いた金属膜（アルミ膜36、チタン膜44）をCMPにより除去しているが、リソグラフィ

ィー及びドライエッチングによりパターンニングし、これを配線層として用いるようにしてもよい。

【0170】

また、上記実施形態では、N型トランジスタのゲート電極とP型トランジスタのゲート電極を1つのパターンにより形成する場合について示したが、それぞれ個別のパターンにより形成する場合においても本発明を適用することができる。

【0171】

以上詳述した通り、本発明の特徴をまとめると以下の通りとなる。

【0172】

(付記1) 半導体基板上に、金属を含む材料による置換が可能な被置換材料よりなる第1のダミー電極及び第2のダミー電極を形成する工程と、

前記第1のダミー電極上に、第1の金属材料よりなる第1の金属膜を選択的に形成する工程と、

第1の温度において熱処理を行うことにより、前記第1のダミー電極を構成する前記被置換材料が前記第1の金属材料又は前記第1の金属材料の化合物に置換してなる第1の電極を形成する工程と、

前記第2のダミー電極上に、第2の金属材料よりなる第2の金属膜を形成する工程と、

前記第1の温度よりも低く前記第1の電極と前記第2の金属膜との間で構成材料の相互拡散が生じない第2の温度において熱処理を行うことにより、前記第2のダミー電極を構成する前記被置換材料が前記第2の金属材料又は前記第2の金属材料の化合物に置換してなる第2の電極を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【0173】

(付記2) 半導体基板上に、金属を含む材料による置換が可能な被置換材料よりなる第1のダミー電極及び第2のダミー電極を形成する工程と、

前記第2のダミー電極上に、保護膜を選択的に形成する工程と、

前記第1のダミー電極上及び前記保護膜上に、第1の金属材料よりなる第1の金属膜を形成する工程と、

第 1 の温度において熱処理を行うことにより、前記第 1 のダミー電極を構成する前記被置換材料が前記第 1 の金属材料又は前記第 1 の金属材料の化合物に置換してなる第 1 の電極を形成する工程と、

前記保護膜を除去する工程と、

前記第 2 のダミー電極上に、第 2 の金属材料よりなる第 2 の金属膜を形成する工程と、

前記第 1 の温度よりも低く前記第 1 の電極と前記第 2 の金属膜との間で構成材料の相互拡散が生じない第 2 の温度において熱処理を行うことにより、前記第 2 のダミー電極を構成する前記被置換材料が前記第 2 の金属材料又は前記第 2 の金属材料の化合物に置換してなる第 2 の電極を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【 0 1 7 4 】

(付記 3) 付記 2 記載の半導体装置の製造方法において、
前記保護膜を形成する工程では、前記第 2 のダミー電極上に前記保護膜を堆積する

ことを特徴とする半導体装置の製造方法。

【 0 1 7 5 】

(付記 4) 付記 2 記載の半導体装置の製造方法において、
前記保護膜を形成する工程では、前記第 2 のダミー電極の表面領域を化学反応させることにより、前記保護膜を形成する

ことを特徴とする半導体装置の製造方法。

【 0 1 7 6 】

(付記 5) 付記 4 記載の半導体装置の製造方法において、
前記保護膜を形成する工程では、前記第 2 のダミー電極を酸素雰囲気中に暴露することにより、前記被置換材料の酸化物よりなる前記保護膜を形成する

ことを特徴とする半導体装置の製造方法。

【 0 1 7 7 】

(付記 6) 付記 2 乃至 5 のいずれか 1 項に記載の半導体装置の製造方法において、

前記第1の金属膜を形成する工程の前に、前記保護膜と前記第1の金属膜との密着性を向上する第3の金属膜を形成する工程を更に有することを特徴とする半導体装置の製造方法。

【0178】

(付記7) 半導体基板上に、金属を含む材料による置換が可能な被置換材料よりなる第1のダミー電極及び第2のダミー電極を形成する工程と、

前記第1のダミー電極を選択的に除去する工程と、

前記第1のダミー電極が形成された領域に、第1の金属材料又は前記第1の金属材料の化合物よりなる導電膜を選択的に形成し、前記導電膜よりなる第1の電極を形成する工程と、

前記第2のダミー電極上に、前記第1の電極との間で構成材料の相互拡散が生じない第2の金属材料よりなる第2の金属膜を形成する工程と、

熱処理を行うことにより、前記第2のダミー電極を構成する前記被置換材料が前記第2の金属材料又は前記第2の金属材料の化合物に置換してなる第2の電極を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【0179】

(付記8) 付記1乃至7のいずれか1項に記載の半導体装置の製造方法において、

前記第2の金属膜を形成する工程では、前記第2の電極上に選択的に前記第2の金属膜を形成する

ことを特徴とする半導体装置の製造方法。

【0180】

(付記9) 付記1乃至7のいずれか1項に記載の半導体装置の製造方法において、

前記第2の金属膜を形成する工程では、前記第1の電極上に延在して前記第2の金属膜を形成する

ことを特徴とする半導体装置の製造方法。

【0181】

(付記 10) 半導体基板上に、金属を含む材料による置換が可能な被置換材料よりなる第 1 のダミー電極及び第 2 のダミー電極を形成する工程と、

前記第 1 のダミー電極及び前記第 2 のダミー電極が形成された領域に、第 1 の金属材料よりなる第 1 の金属膜を形成する工程と、

前記第 1 のダミー電極が形成された領域に、第 2 の金属材料よりなる第 2 の金属膜を選択的に形成する工程と、

熱処理を行うことにより、前記第 1 のダミー電極を構成する前記被置換材料が前記第 1 の金属材料又は前記第 1 の金属材料の化合物に置換してなる第 1 の電極と、前記第 2 のダミー電極を構成する前記被置換材料が前記第 1 の金属材料と前記第 2 の金属材料との合金又は前記合金と前記被置換材料との化合物に置換してなる第 2 の電極とを同時に形成する工程と

を有することを特徴とする半導体装置の製造方法。

【0182】

(付記 11) 付記 1 乃至 10 のいずれか 1 項に記載の半導体装置の製造方法において、

前記第 2 の金属膜を形成する工程の後に、前記第 2 の金属膜上に、前記被置換材料と反応することにより前記被置換材料を吸収する第 4 の金属膜を形成する工程を更に有する

ことを特徴とする半導体装置の製造方法。

【0183】

(付記 12) 付記 1 乃至 11 のいずれか 1 項に記載の半導体装置の製造方法において、

前記第 2 の電極を形成する工程の後に、前記第 2 の金属膜をパターンニングして配線層を形成する工程を更に有する

ことを特徴とする半導体装置の製造方法。

【0184】

(付記 13) 付記 1 乃至 12 のいずれか 1 項に記載の半導体装置の製造方法において、

前記被置換材料は、シリコンであり、

前記第 1 の金属材料の前記化合物又は前記第 2 の金属材料の前記化合物は、金属シリサイドである

ことを特徴とする半導体装置の製造方法。

【0185】

(付記 1 4) 半導体基板上に、シリコンよりなり第 1 の不純物を含む第 1 のダミー電極と、シリコンよりなり前記第 1 の不純物とは異なる第 2 の不純物を含む第 2 のダミー電極とを形成する工程と、

前記第 1 のダミー電極上及び前記第 2 のダミー電極上に、金属膜を形成する工程と、

前記第 1 のダミー電極及び前記第 2 のダミー電極を前記金属膜と反応させることにより、前記第 1 のダミー電極が金属シリサイドに置換してなり、前記第 1 の不純物が添加された第 1 のゲート電極と、前記第 2 のダミー電極が金属シリサイドに置換してなり、前記第 2 の不純物が添加された第 2 のゲート電極とを形成する工程と

を有することを特徴とする半導体装置の製造方法。

【0186】

(付記 1 5) 付記 1 乃至 1 4 のいずれか 1 項に記載の半導体装置の製造方法において、

前記第 1 のダミー電極及び前記第 2 のダミー電極を形成する工程では、前記第 1 のダミー電極及び前記第 2 のダミー電極を連続する 1 つのパターンにより形成する

ことを特徴とする半導体装置の製造方法。

【0187】

(付記 1 6) 付記 1 乃至 1 5 のいずれか 1 項に記載の半導体装置の製造方法において、

前記第 1 のダミー電極及び前記第 2 のダミー電極を形成する工程の後に、絶縁膜を形成する工程と、前記第 1 のダミー電極及び前記第 2 のダミー電極の上面が露出するまで前記絶縁膜を平坦に除去する工程とを更に有する

ことを特徴とする半導体装置の製造方法。

【0188】

(付記17) 付記1乃至16のいずれか1項に記載の半導体装置の製造方法において、

前記第1のダミー電極及び前記第2のダミー電極を形成する工程の後に、前記半導体基板中に、前記第1のダミー電極及び前記第2のダミー電極に対して自己整合で不純物拡散領域を形成する工程を更に有する

ことを特徴とする半導体装置の製造方法。

【0189】

(付記18) アルミよりなる第1のゲート電極を有する第1導電型の第1のトランジスタと、

高融点金属、高融点金属シリサイド又は高融点金属窒化物よりなる第2のゲート電極を有する第2導電型の第2のトランジスタと

を有することを特徴とする半導体装置。

【0190】

(付記19) 第1の金属シリサイドよりなる第1のゲート電極を有する第1導電型の第1のトランジスタと、

前記第1の金属シリサイドよりも反応温度の高い第2の金属シリサイドよりなる第2のゲート電極を有する第2導電型の第2のトランジスタと

を有することを特徴とする半導体装置。

【0191】

(付記20) 第1の不純物を含む金属シリサイドよりなる第1のゲート電極を有する第1導電型の第1のトランジスタと、

前記第1の不純物とは異なる第2の不純物を含む前記金属シリサイドよりなる第2のゲート電極を有する第2導電型の第2のトランジスタと

を有することを特徴とする半導体装置。

【0192】

(付記21) 付記18乃至20のいずれか1項に記載の半導体装置において

前記第1のゲート電極及び前記第2のゲート電極は、連続する1つのパターン

により形成されている

ことを特徴とする半導体装置。

【0193】

(付記22) 付記18乃至21のいずれか1項に記載の半導体装置において

前記第1導電型はN型であり、前記第2導電型はP型である

ことを特徴とする半導体装置。

【0194】

【発明の効果】

以上の通り、本発明によれば、N型トランジスタのゲート電極とP型トランジスタのゲート電極とを、構成材料の相互拡散が少ない金属材料又はその化合物により構成するので、N型トランジスタのゲート電極とP型トランジスタのゲート電極とを1つのパターンで形成する場合であっても、ゲート電極形成過程の熱処理及びゲート電極形成後の熱処理によってゲート電極を構成する材料の仕事関数が増加することを防止することができる。これにより、CMOSトランジスタの動作特性の制御を容易に行うことができる。

【図面の簡単な説明】

【図1】

本発明の第1実施形態による半導体装置の構造を示す平面図である。

【図2】

本発明の第1実施形態による半導体装置の構造を示す概略断面図である。

【図3】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図4】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図5】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その3）である。

)である。

【図 6】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 4）である。

【図 7】

本発明の第 2 実施形態による半導体装置の構造を示す概略断面図である。

【図 8】

本発明の第 2 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 9】

本発明の第 2 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 10】

本発明の第 2 実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 11】

本発明の第 3 実施形態による半導体装置の構造を示す概略断面図である。

【図 12】

本発明の第 3 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 13】

本発明の第 3 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 14】

本発明の第 4 実施形態による半導体装置の構造を示す概略断面図である。

【図 15】

本発明の第 4 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 16】

本発明の第 4 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 1 7】

本発明の第 4 実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 1 8】

本発明の第 5 実施形態による半導体装置の構造を示す概略断面図である。

【図 1 9】

本発明の第 5 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 2 0】

本発明の第 5 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 2 1】

本発明の第 5 実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 2 2】

本発明の第 6 実施形態による半導体装置の構造を示す概略断面図である。

【図 2 3】

本発明の第 6 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 2 4】

本発明の第 6 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 2 5】

本発明の第 6 実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 2 6】

本発明の第 7 実施形態による半導体装置の構造を示す概略断面図である。

【図 2 7】

本発明の第 7 実施形態による半導体装置の製造方法を示す工程断面図である。

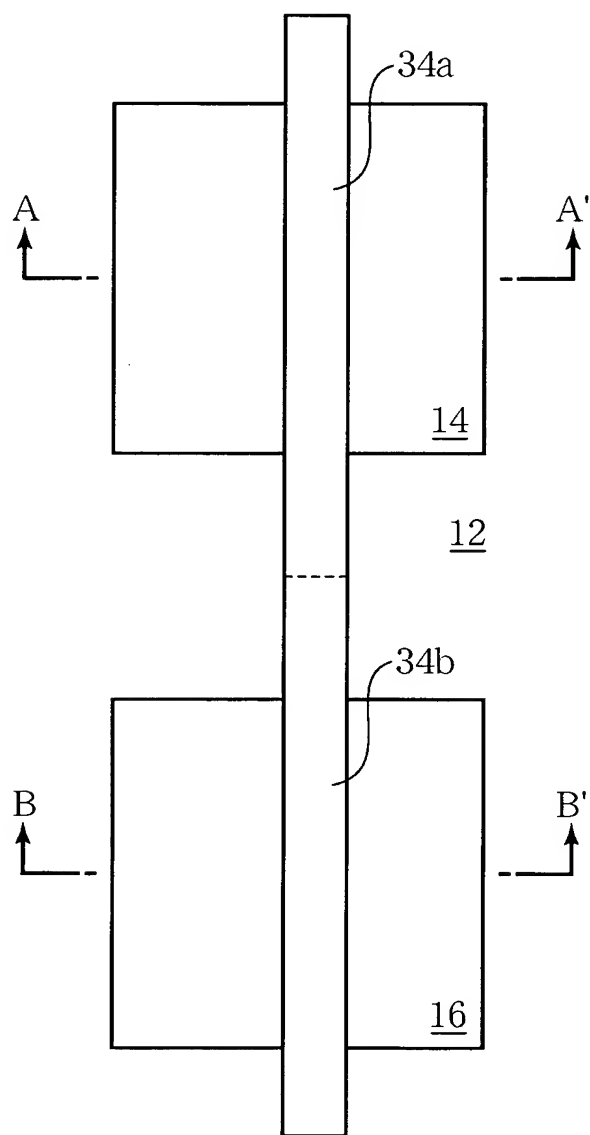
【符号の説明】

- 1 0…シリコン基板
- 1 2…素子分離膜
- 1 4…P ウェル
- 1 6…N ウェル
- 1 8…ゲート絶縁膜
- 2 0…多結晶シリコン膜
- 2 2 n, 2 2 p…ダミーゲート電極
- 2 4 n, 2 4 p…不純物拡散領域
- 2 6…側壁絶縁膜
- 2 8…ソース／ドレイン拡散層
- 3 0…層間絶縁膜
- 3 2…モリブデン膜
- 3 4 a, 3 4 b, 3 4 c, 3 4 d, 3 4 e, 3 4 f, 3 4 g, 3 4 h, 3 4 i…
ゲート電極
- 3 6…アルミ膜
- 3 8…シリコン酸化膜
- 4 0…ゲート絶縁膜
- 4 2…窒化チタン膜
- 4 4…チタン膜
- 4 6…T i A l 合金膜
- 4 8…タングステン膜
- 5 0…タンタル膜
- 5 2…フォトレジスト
- 5 4…シリコン酸化膜
- 5 6…ニッケル膜

【書類名】 図面

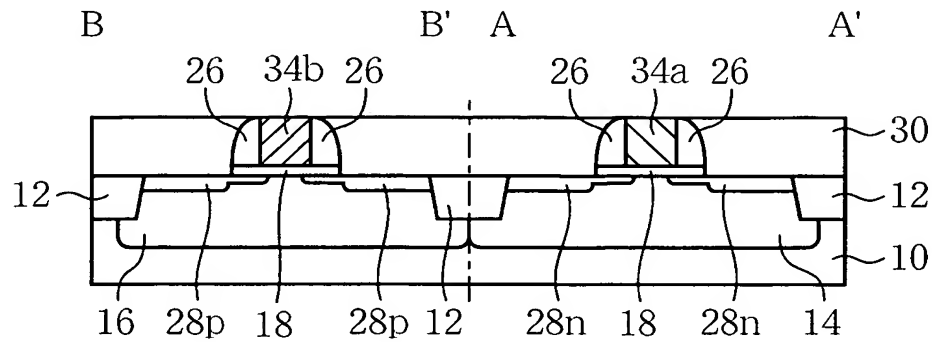
【図 1】

本発明の第1実施形態による半導体装置の構造を示す平面図



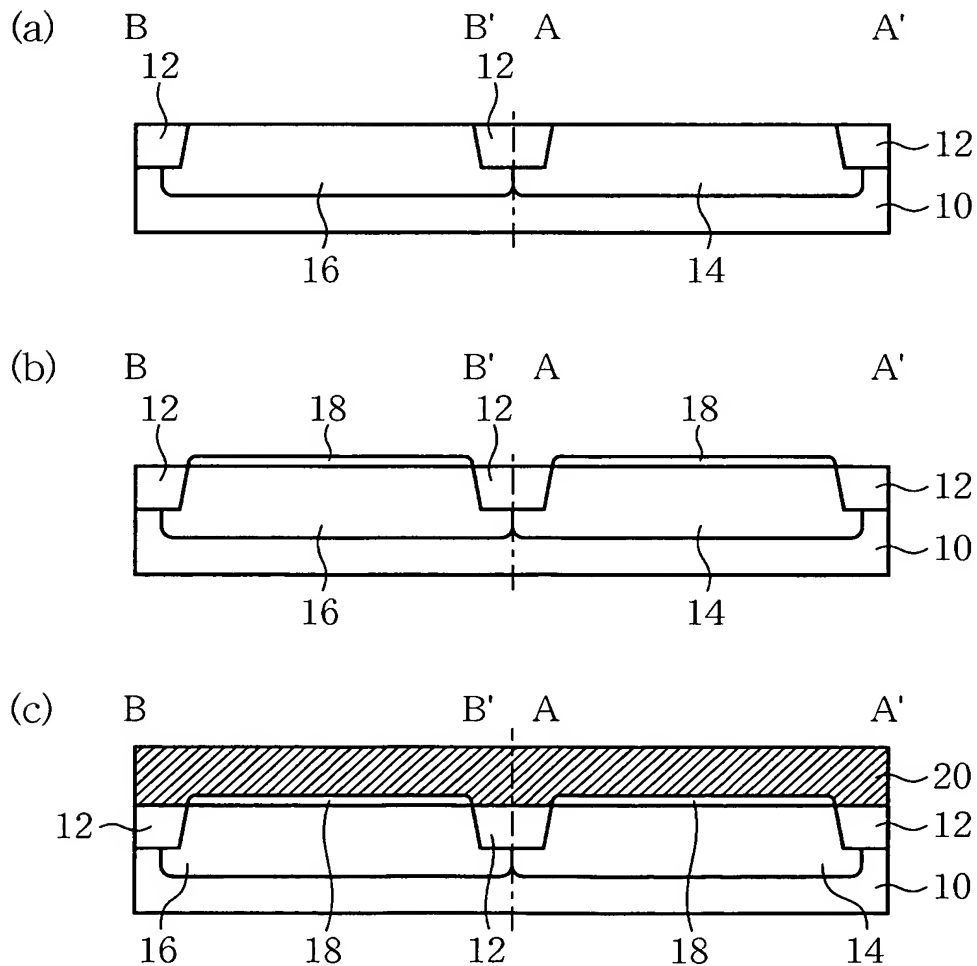
【図 2】

本発明の第1実施形態による半導体装置の構造を示す概略断面図



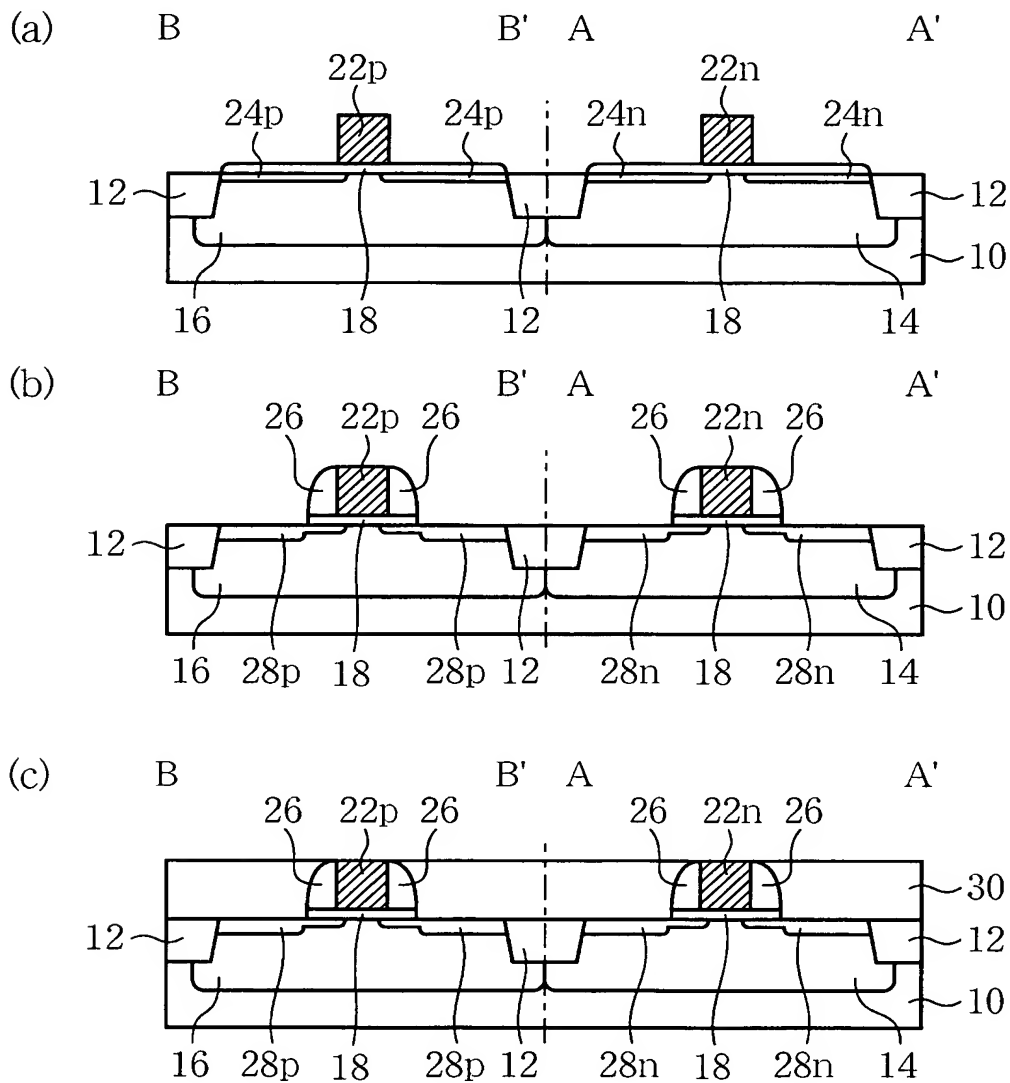
【図 3】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その1)



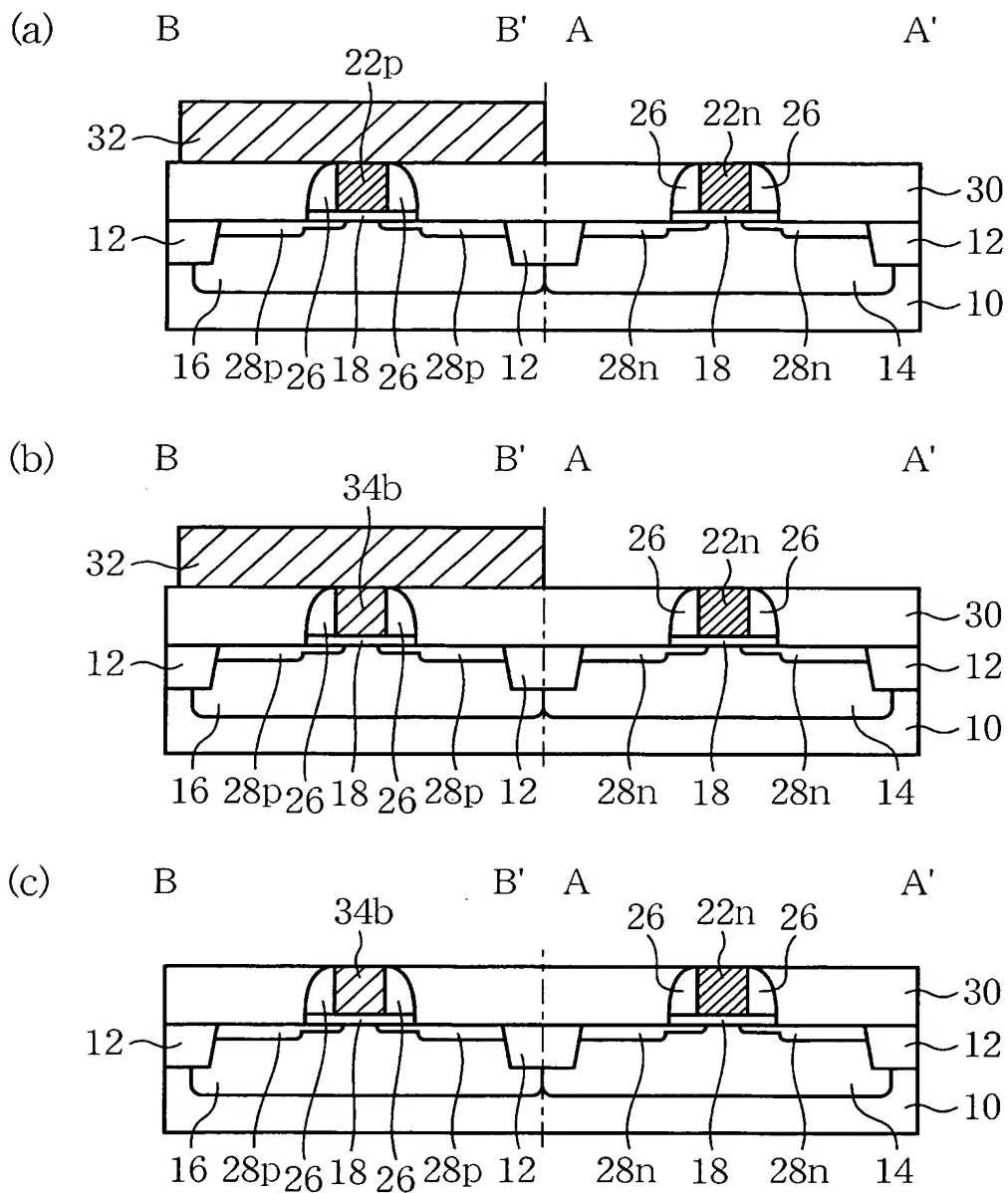
【図 4】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その2)



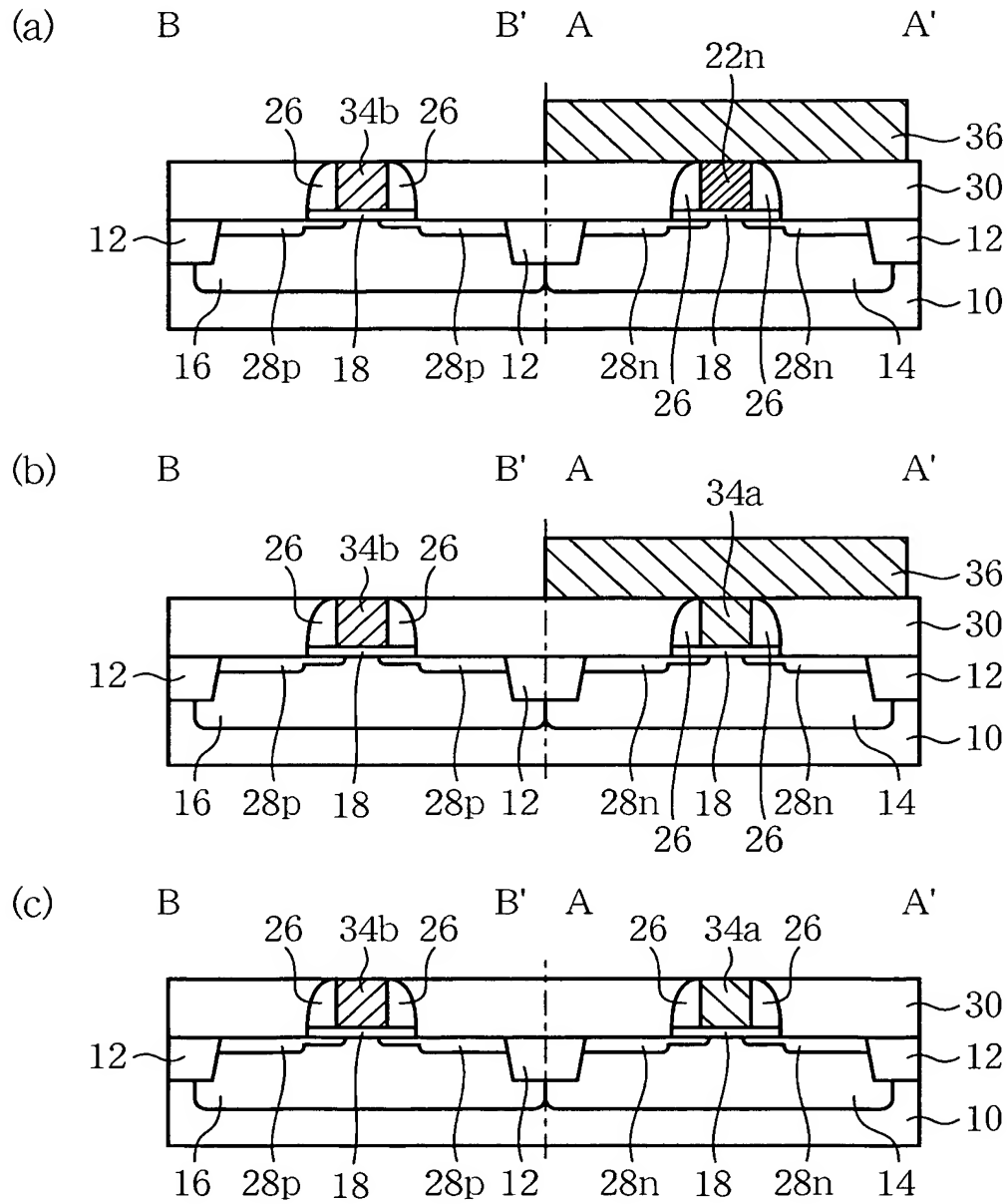
【図 5】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その3)



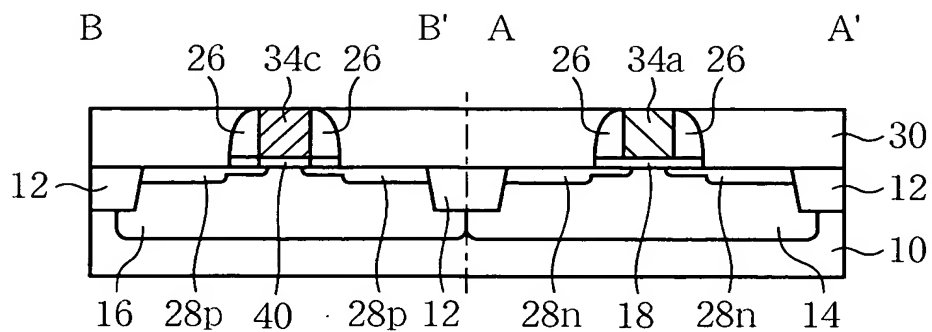
【図 6】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その4)



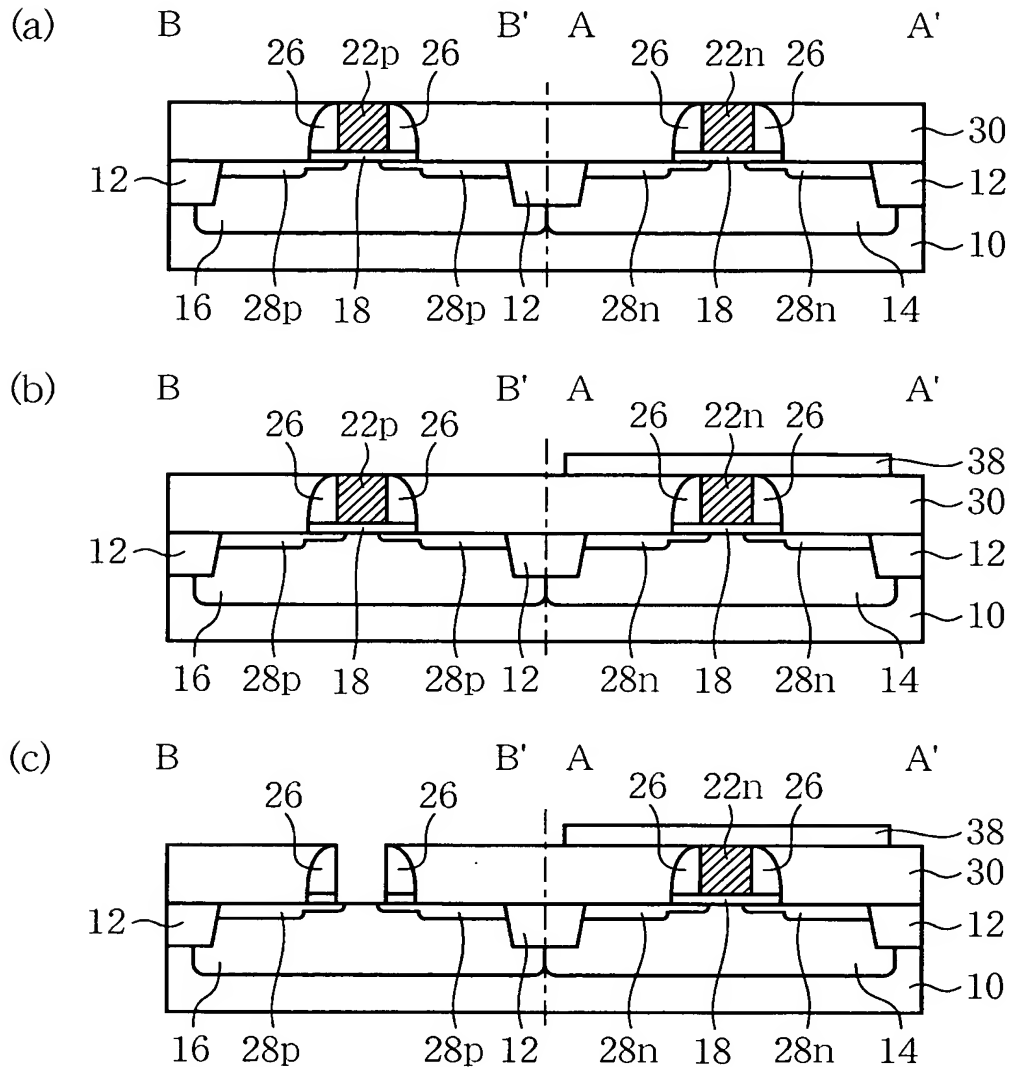
【図 7】

本発明の第2実施形態による半導体装置の構造を示す概略断面図



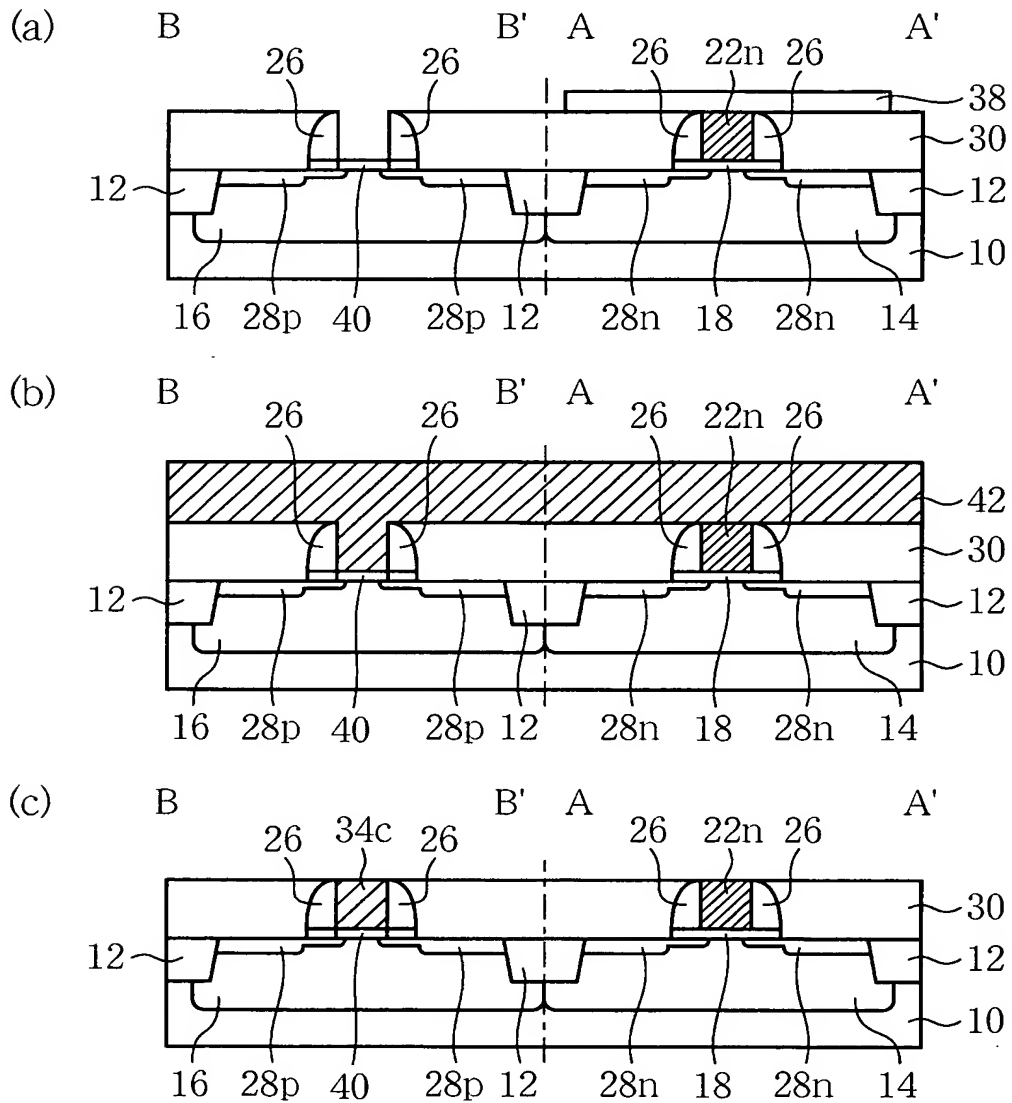
【図 8】

本発明の第2実施形態による半導体装置の製造方法を示す
工程断面図(その1)



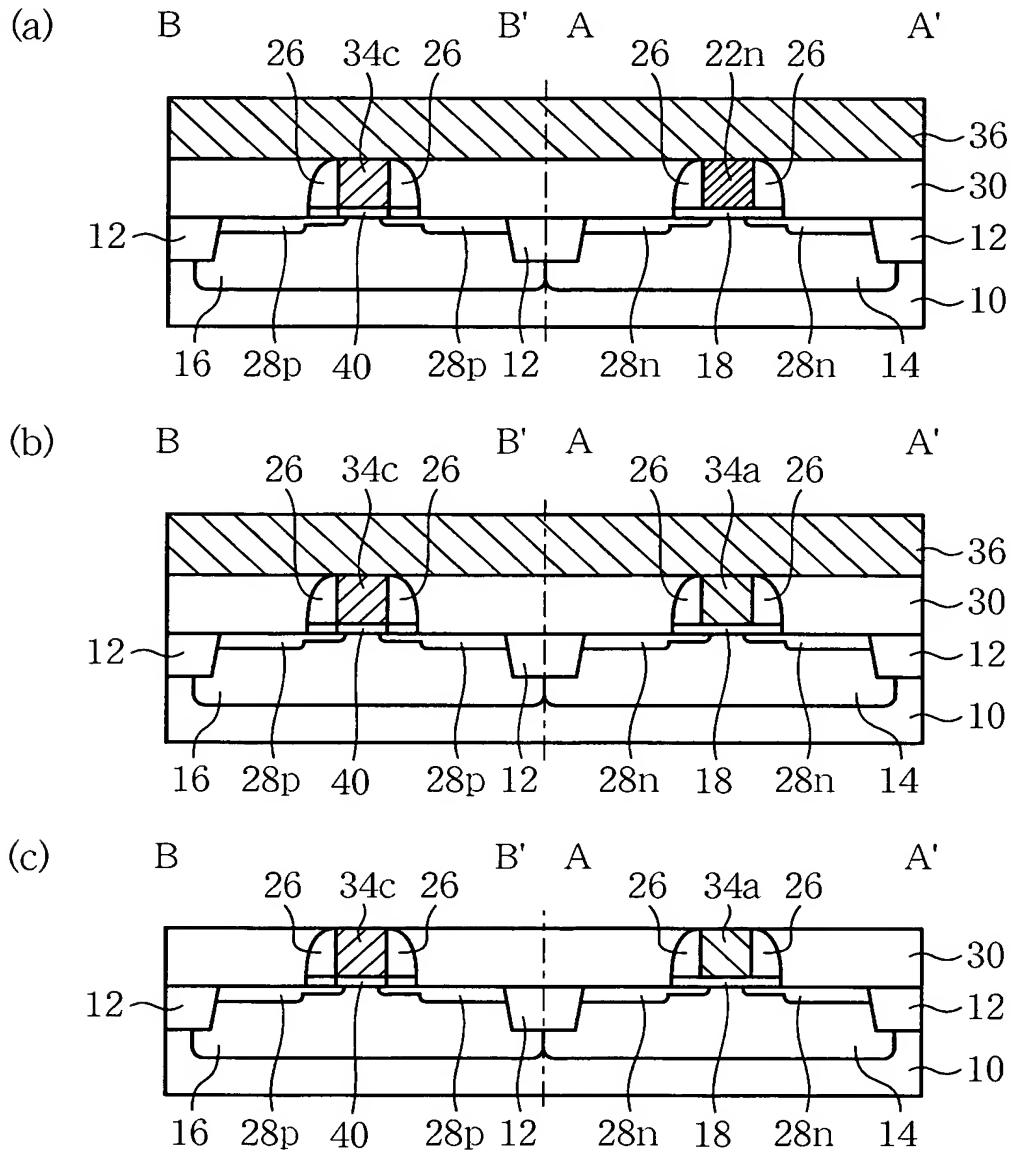
【図 9】

本発明の第2実施形態による半導体装置の製造方法を示す
工程断面図(その2)



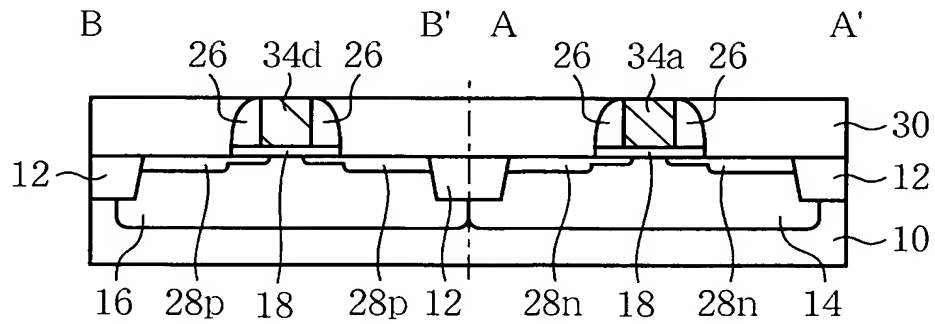
【図10】

本発明の第2実施形態による半導体装置の製造方法を示す
工程断面図(その3)



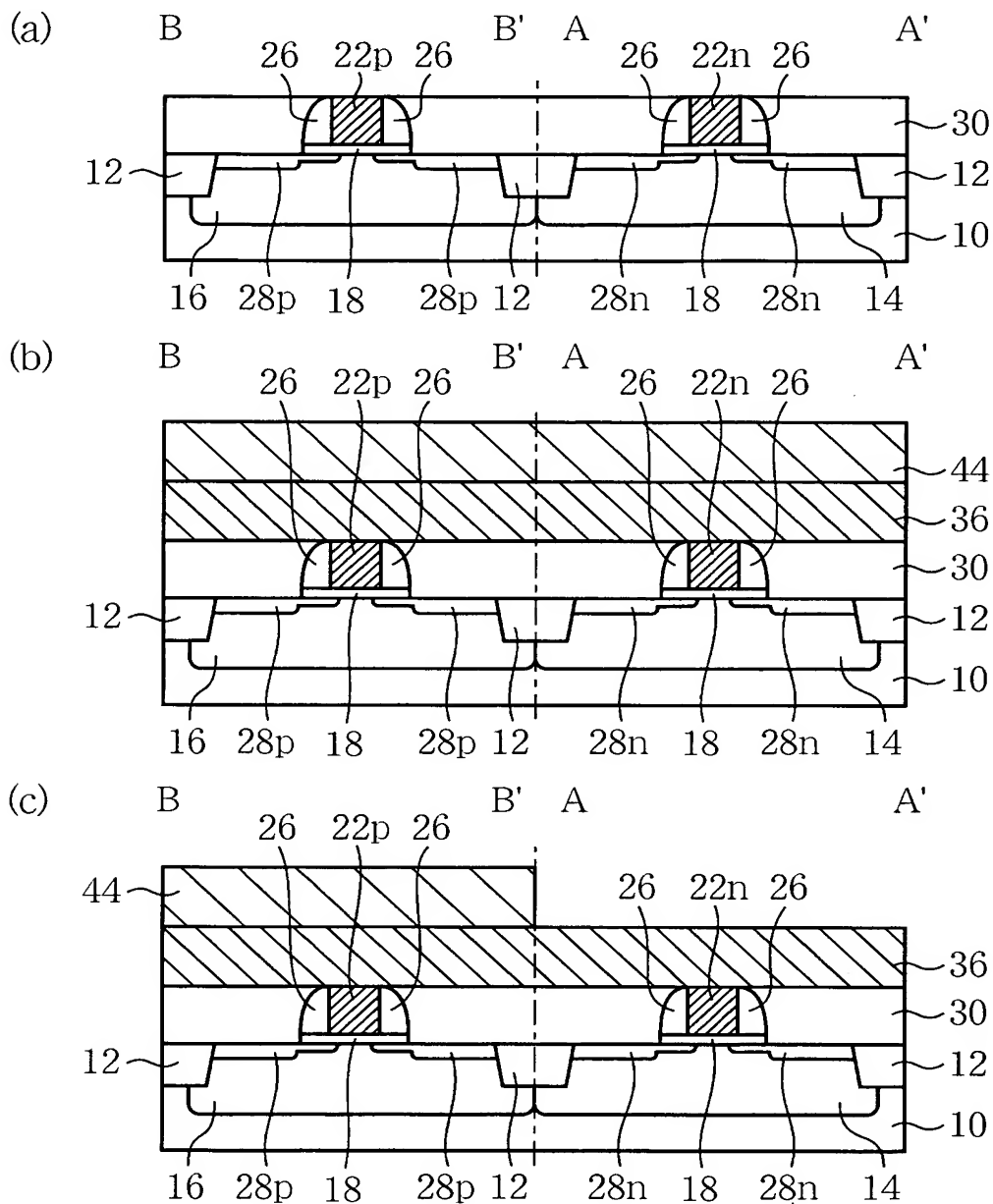
【図 11】

本発明の第3実施形態による半導体装置の構造を示す概略断面図



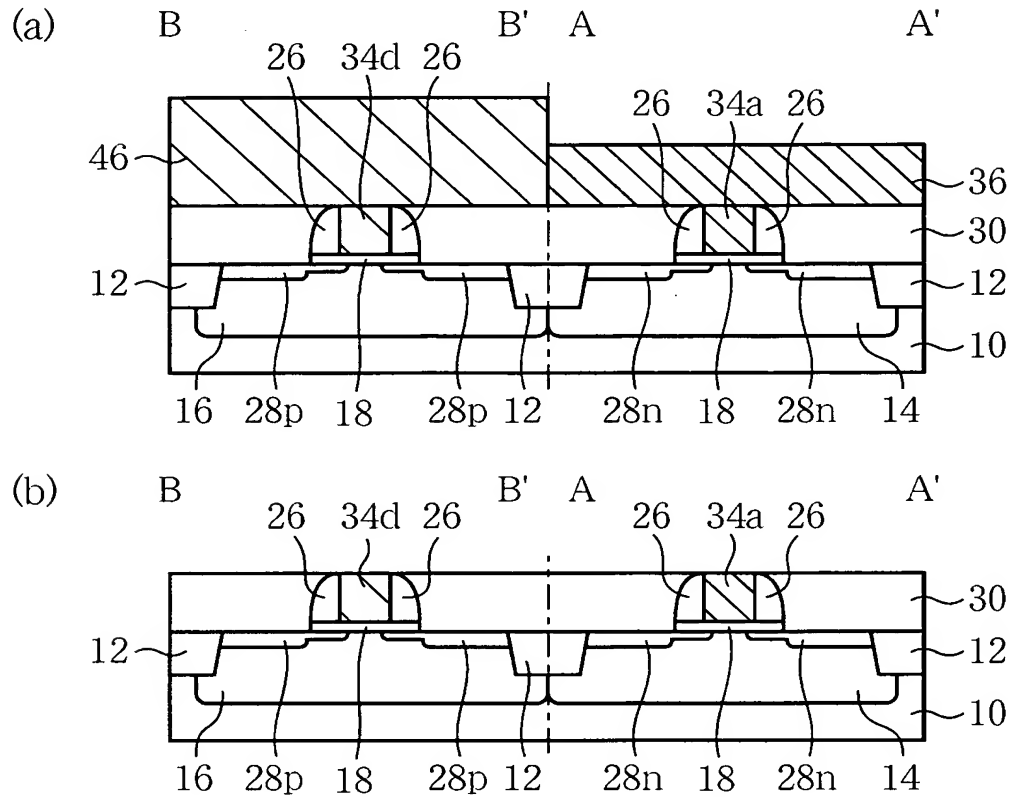
【図 12】

本発明の第3実施形態による半導体装置の製造方法を示す
工程断面図(その1)



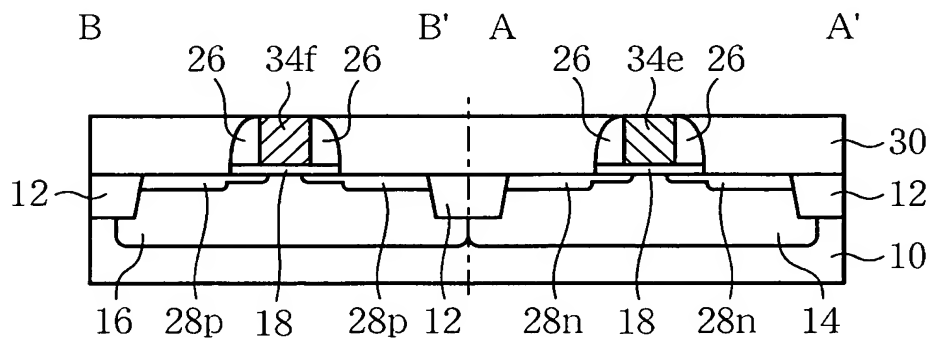
【図13】

本発明の第3実施形態による半導体装置の製造方法を示す
工程断面図(その2)



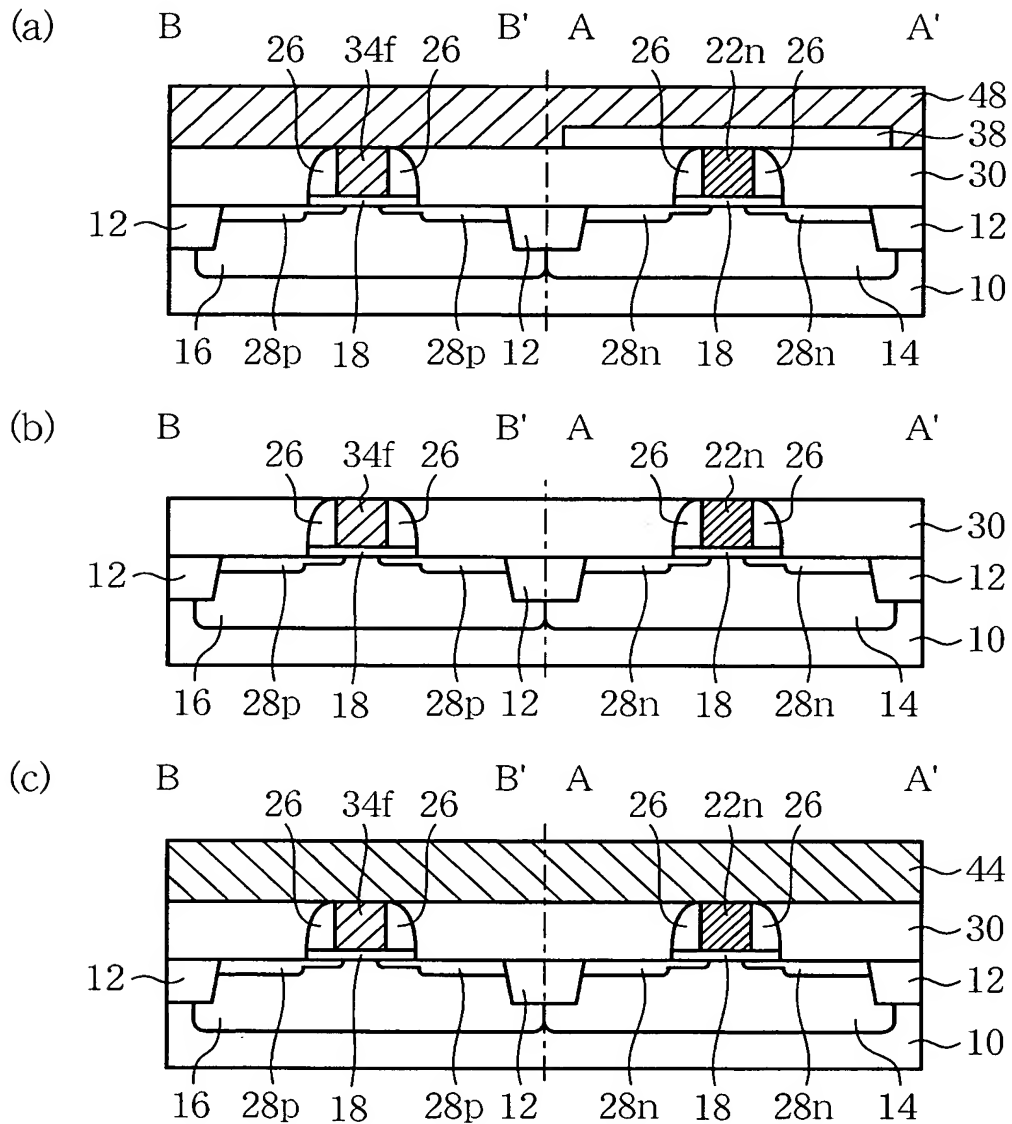
【図14】

本発明の第4実施形態による半導体装置の構造を示す概略断面図



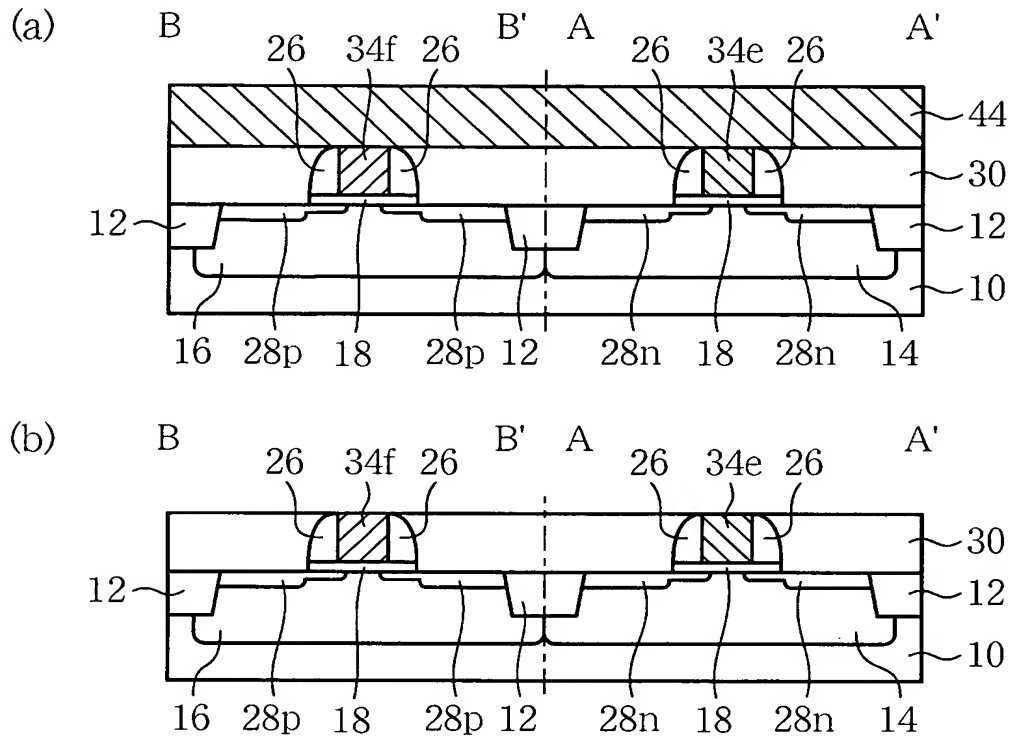
【図16】

本発明の第4実施形態による半導体装置の製造方法を示す
工程断面図(その2)



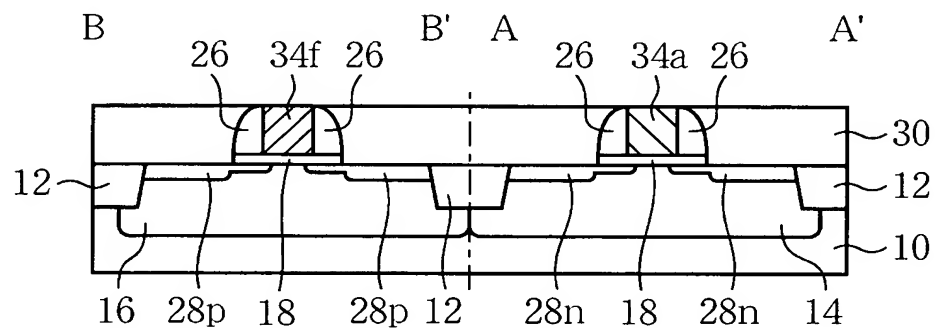
【図 17】

本発明の第4実施形態による半導体装置の製造方法を示す
工程断面図(その3)



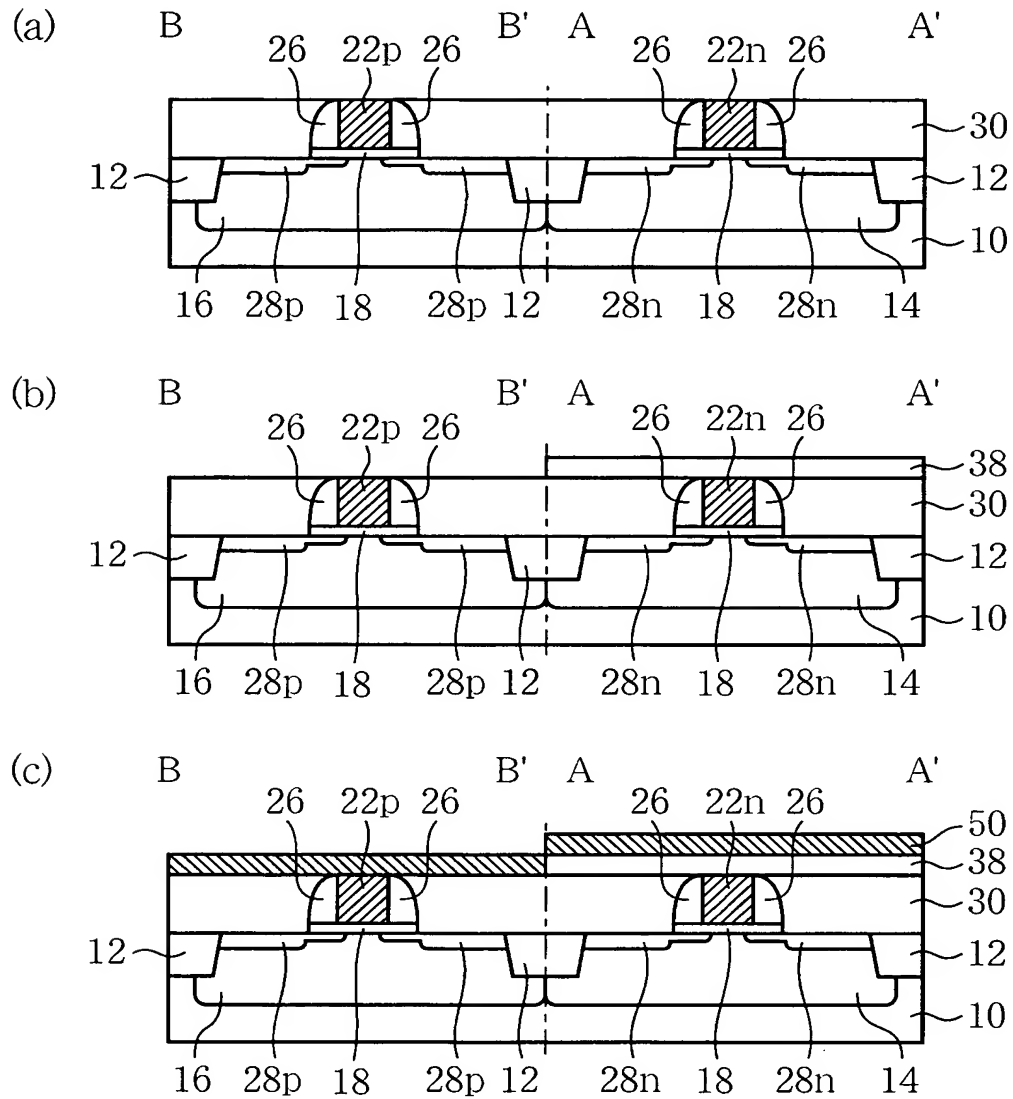
【図 18】

本発明の第5実施形態による半導体装置の構造を示す概略断面図



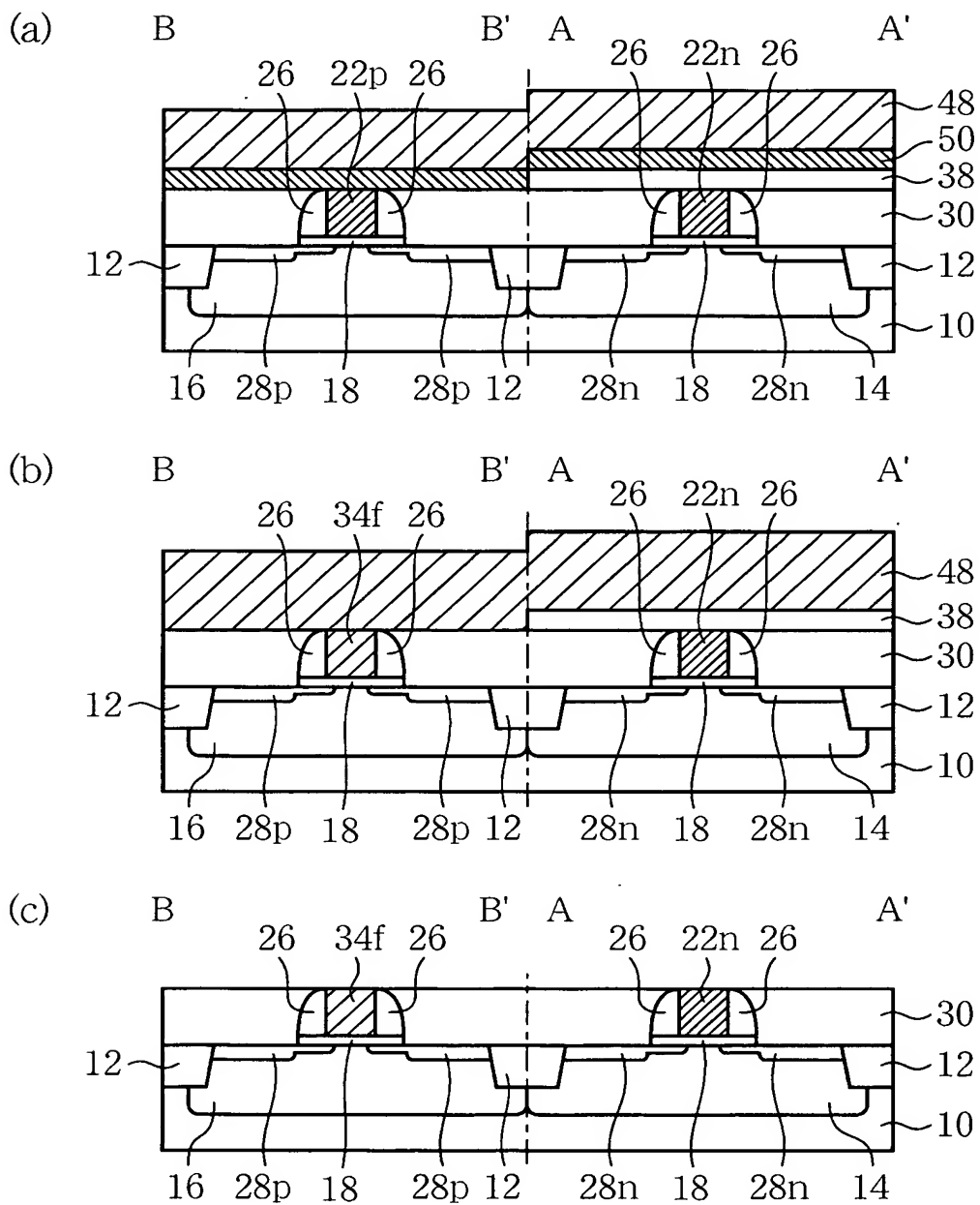
【図19】

本発明の第5実施形態による半導体装置の製造方法を示す
工程断面図(その1)



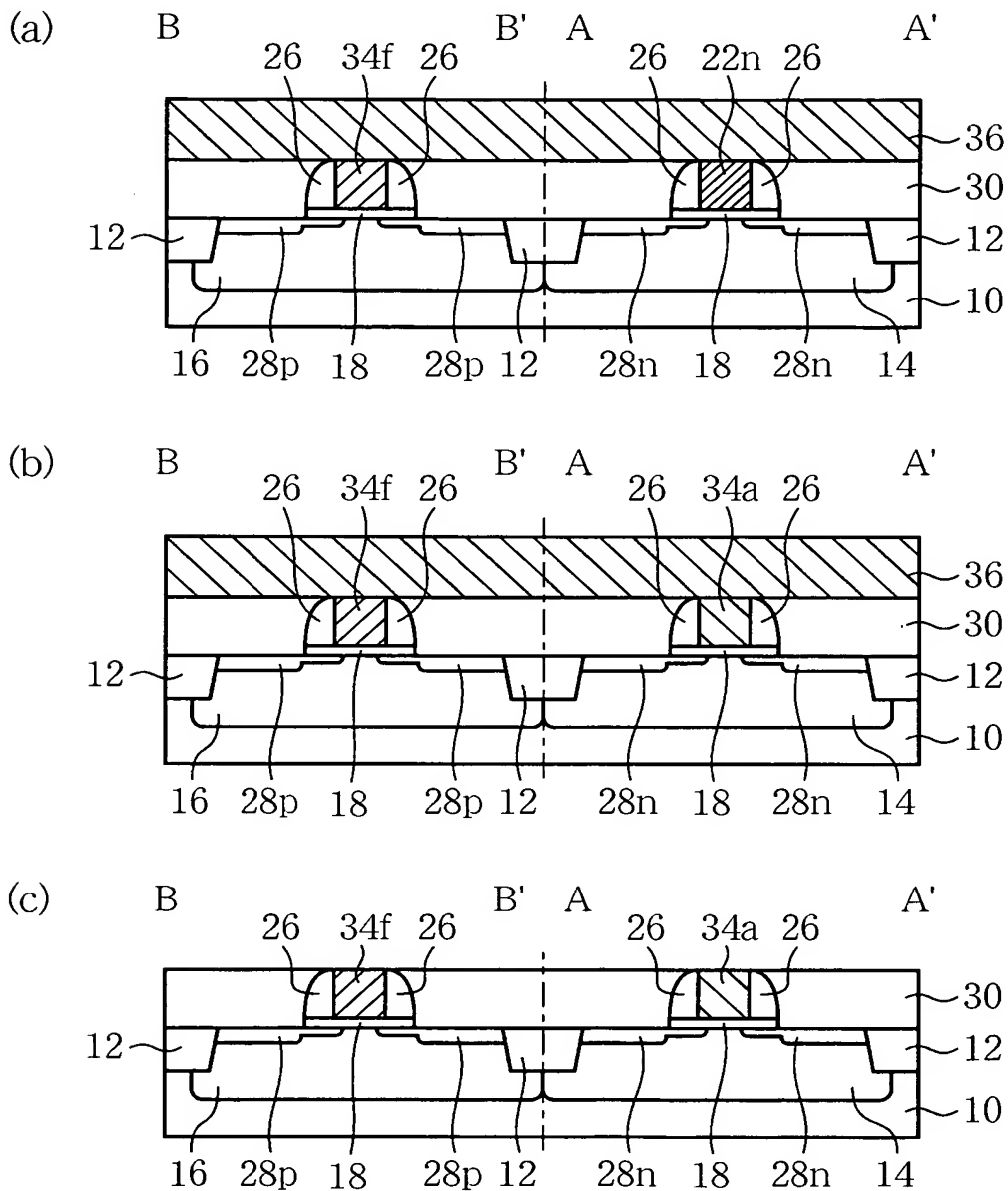
【図 20】

本発明の第5実施形態による半導体装置の製造方法を示す
工程断面図(その2)



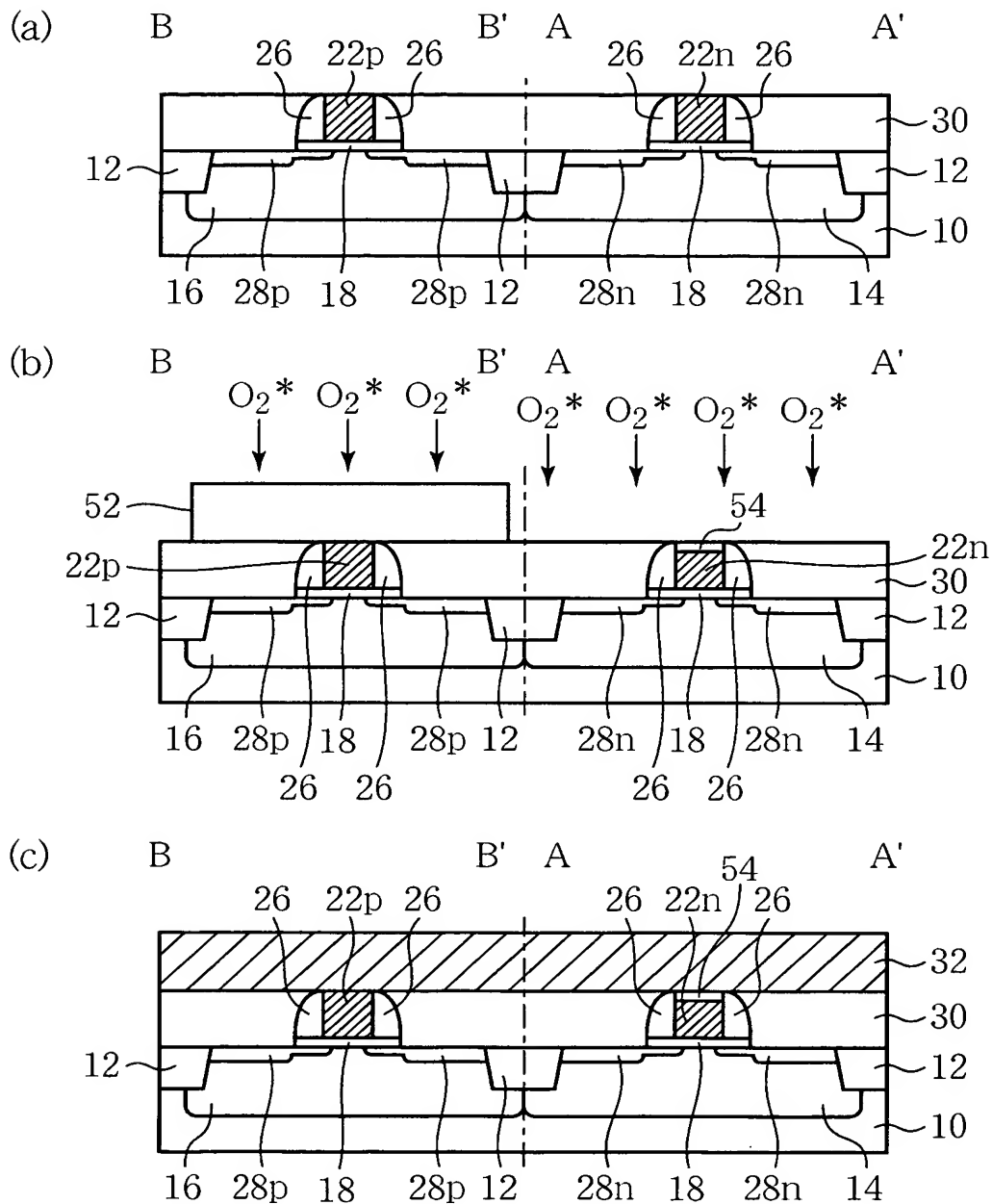
【図 21】

本発明の第5実施形態による半導体装置の製造方法を示す
工程断面図(その3)



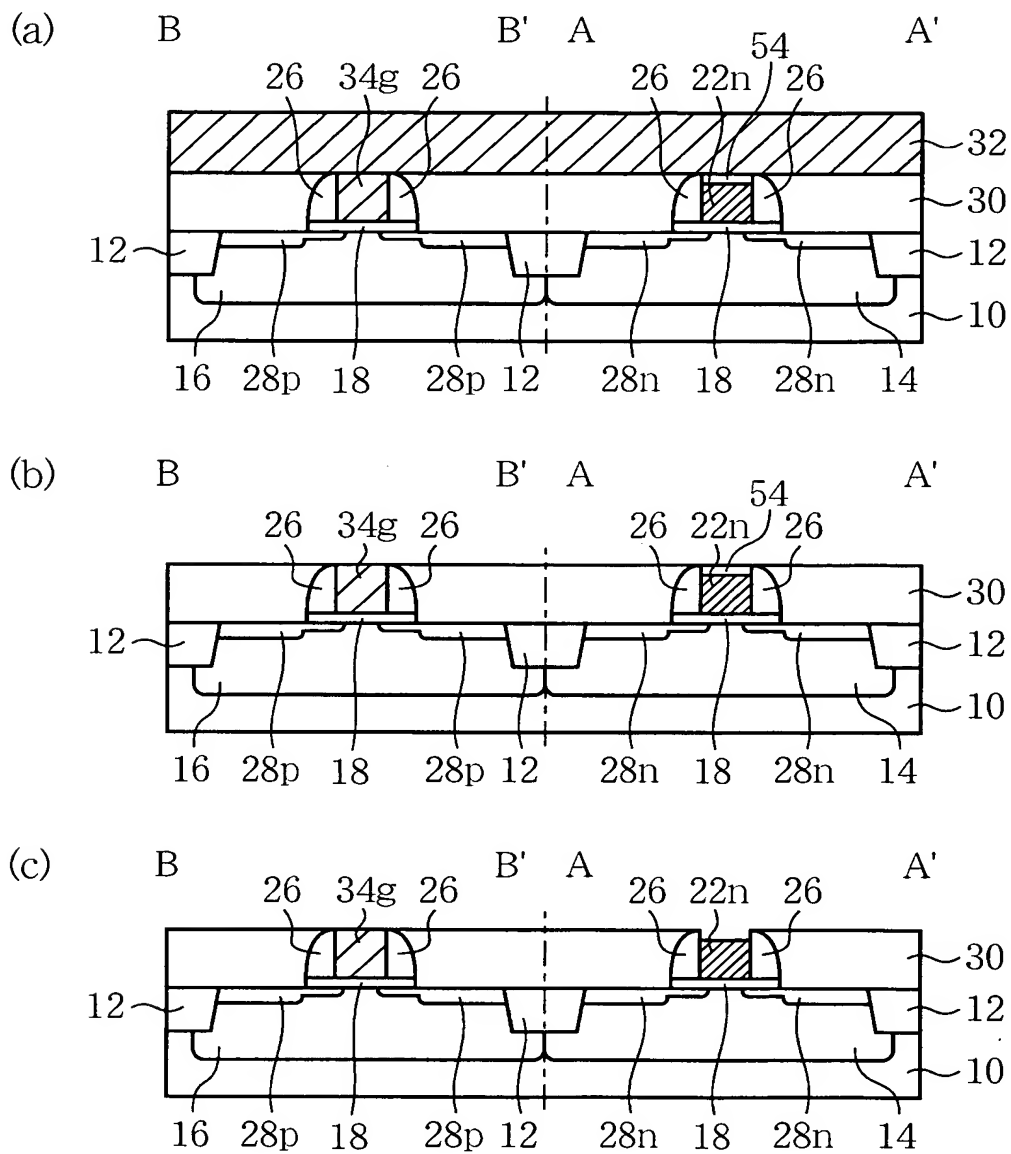
【図 23】

本発明の第6実施形態による半導体装置の製造方法を示す
工程断面図(その1)



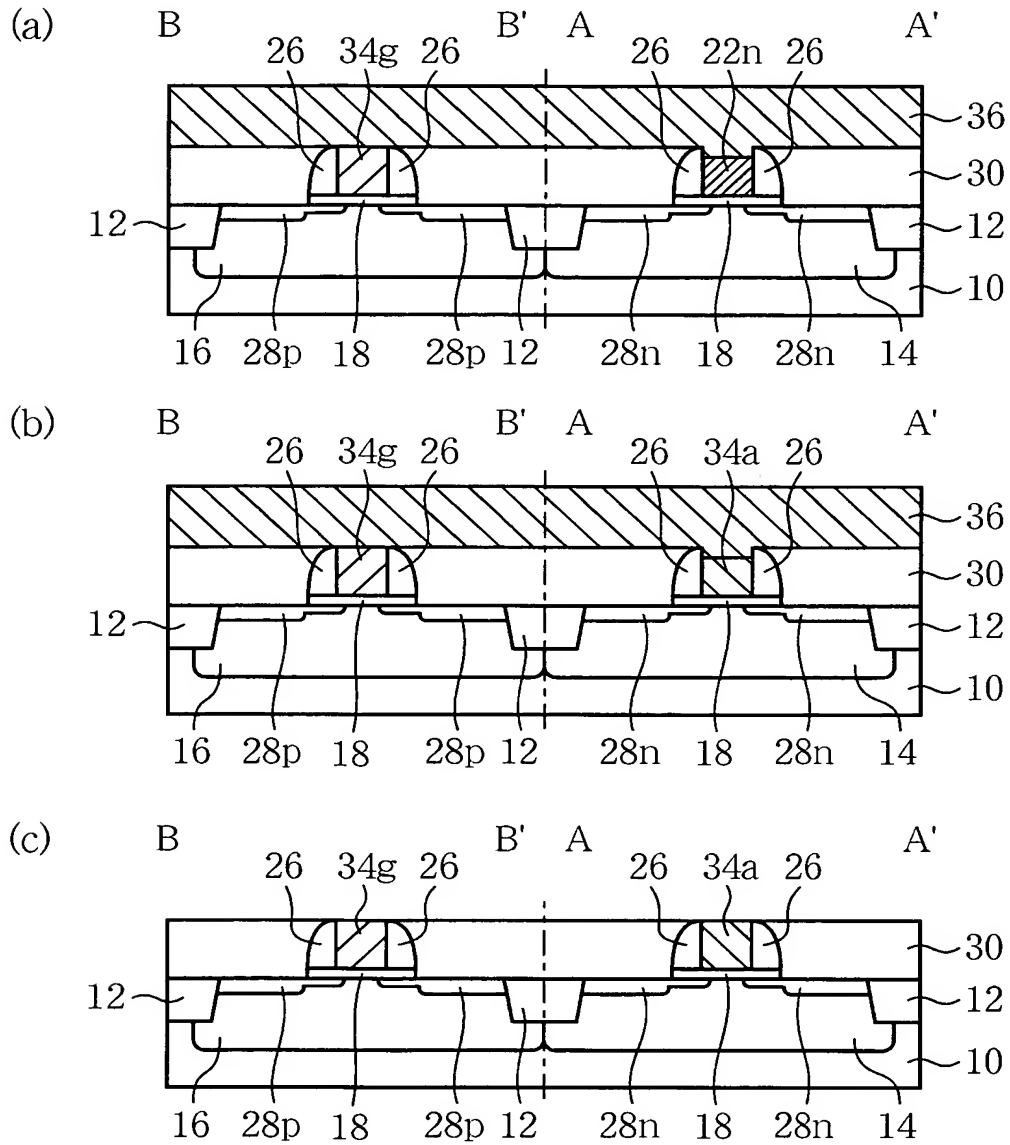
【図 24】

本発明の第6実施形態による半導体装置の製造方法を示す
工程断面図(その2)



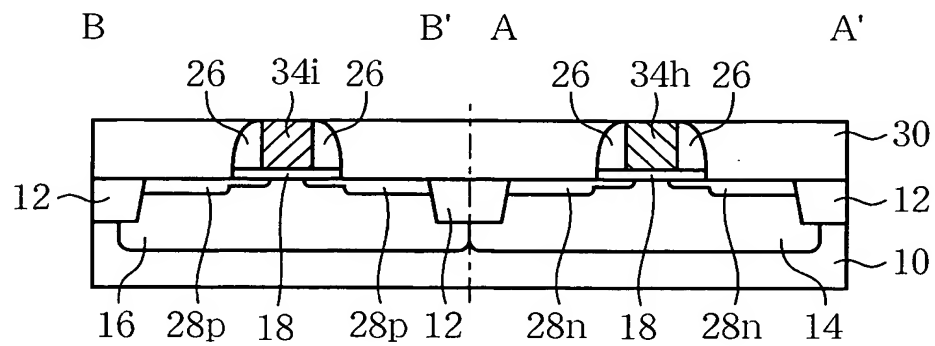
【図 25】

本発明の第6実施形態による半導体装置の製造方法を示す
工程断面図(その3)



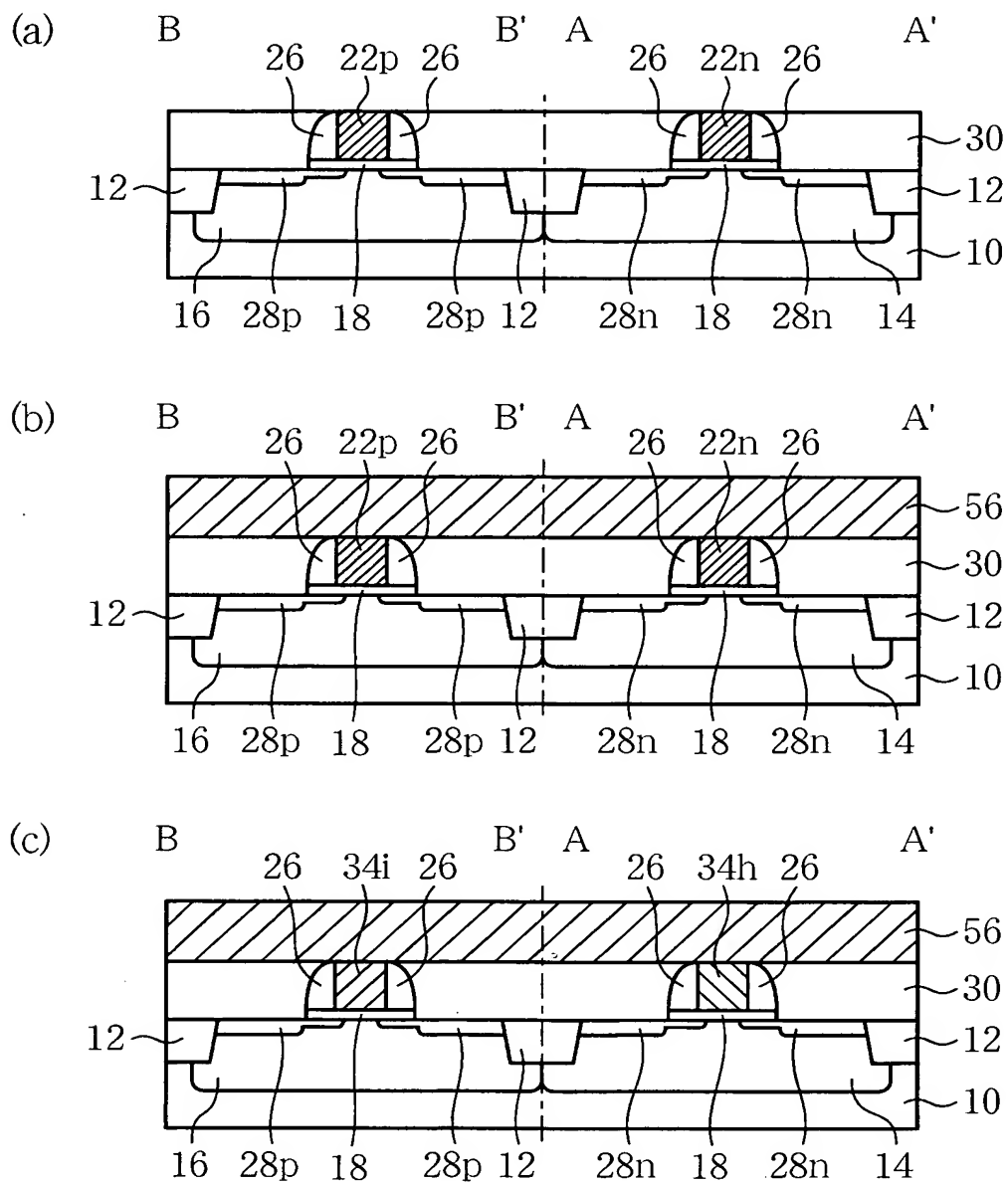
【図 26】

本発明の第7実施形態による半導体装置の構造を示す概略断面図



【図 27】

本発明の第7実施形態による半導体装置の製造方法を示す
工程断面図



【書類名】 要約書

【要約】

【課題】 金属や金属シリサイドに置換した配線層を有する半導体装置の製造方法に関し、ゲート電極形成過程及びその後の熱処理工程において、N型トランジスタのゲート電極とP型トランジスタのゲート電極との間における構成材料の相互拡散を効果的に防止しうる半導体装置の製造方法を提供する。

【解決手段】 ダミー電極22n及びダミー電極22pを形成する工程と、ダミー電極22p上に金属膜32を選択的に形成する工程と、第1の温度の温度で熱処理を行い、前記ダミー電極22pを構成する被置換材料が金属膜32の構成材料を含む材料に置換してなる電極34aを形成する工程と、ダミー電極22n上に金属膜36を形成する工程と、第1の温度よりも低く電極34aと金属膜36との間で構成材料の相互拡散が生じない第2の温度で熱処理を行い、ダミー電極22nを構成する被置換材料が金属膜36の構成材料を含む材料に置換してなる電極34bを形成する工程とを有する。

【選択図】 図2

特願 2 0 0 3 - 0 0 5 3 9 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社